

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001 年 10 月 11 日 (11.10.2001)

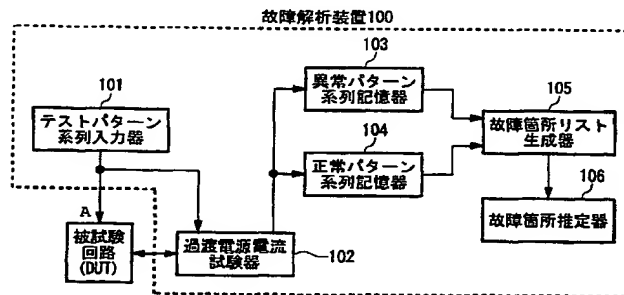
PCT

(10) 国際公開番号  
WO 01/75463 A1

- (51) 国際特許分類: G01R 31/28 (72) 発明者; および  
(21) 国際出願番号: PCT/JP01/02910 (75) 発明者/出願人 (米国についてのみ): 石田雅裕 (ISHIDA, Masahiro) [JP/JP]. 山口隆弘 (YAMAGUCHI, Takahiro) [JP/JP]. 橋本好弘 (HASHIMOTO, Yoshihiro) [JP/JP]; 〒179-0071 東京都練馬区旭町1丁目32番1号 株式会社 アドバンテスト内 Tokyo (JP).  
(22) 国際出願日: 2001 年 4 月 4 日 (04.04.2001)  
(25) 国際出願の言語: 日本語 (74) 代理人: 龍華明裕 (RYUKA, Akihiro); 〒160-0022 東京都新宿区新宿1丁目24番12号 東信ビル6階 Tokyo (JP).  
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): DE, KR, US.  
(30) 優先権データ: 特願2000-101867 2000 年 4 月 4 日 (04.04.2000) JP 添付公開書類:  
— 国際調査報告書  
(71) 出願人 (米国を除く全ての指定国について): 株式会社 アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒179-0071 東京都練馬区旭町1丁目32番1号 Tokyo (JP).  
2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR ANALYZING FAILURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND FAILURE

(54) 発明の名称: 半導体集積回路の故障解析方法及び故障解析装置



100...FAILURE ANALYSIS APPARATUS  
101...TEST PATTERN SEQUENCE INPUT DEVICE  
A...CIRCUIT UNDER TEST (DUT)  
102...TRANSITION POWER SUPPLY CURRENT TEST INSTRUMENT  
103...ABNORMAL PATTERN SEQUENCE STORAGE DEVICE  
104...NORMAL PATTERN SEQUENCE STORAGE DEVICE  
105...FAILURE PART LIST CREATING DEVICE  
106...FAILURE PART INFERRING DEVICE

(57) Abstract: A method and apparatus for analyzing a failure of a semiconductor integrated circuit with greatly improved reliability. An analysis portion where the potential is varied with a change of test patterns of a test pattern sequence is related with the test pattern sequence when the test pattern sequence is supplied to a semiconductor integrated circuit and the related analysis portion is stored. The transition power supply current generated in the semiconductor integrated circuit because of a change of the test patterns is measured and judged to be abnormal or normal. Based on the test pattern sequence judged that the transition power supply current is abnormal and the analysis portion stored and related to the test pattern sequence, the failure part of the semiconductor integrated circuit is inferred.

[続葉有]

WO 01/75463 A1



---

(57) 要約:

半導体集積回路の故障解析の信頼性を大幅に改善できる故障解析方法及び故障解析装置を提供する。半導体集積回路に複数のテストパターンを有するテストパターン系列を供給した場合に、供給された前記テストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する。そしてテストパターンの変化に応じて半導体集積回路において発生する過渡電源電流を測定し、測定された過渡電源電流が異常を示すか否かを判断し、過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された前記解析箇所に基づいて、半導体集積回路における故障箇所を推定する。

## 明 細 書

## 半導体集積回路の故障解析方法及び故障解析装置

## 5 技術分野

本発明は、半導体集積回路の故障解析方法および故障解析装置に関する。また本出願は、下記の日本特許出願に関連する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

10 特願 2 0 0 0 - 1 0 1 8 6 7 出願日 平成 1 2 年 4 月 4 日

## 背景技術

従来、半導体集積回路の故障解析は、半導体集積回路内の故障が発生した箇所を推定するために、電子ビームテストやエミッション顕微鏡、液晶などを用いて  
15 行われていた。電子ビームテストを用いる集積回路の故障解析手法は、被試験半導体集積回路に入力試験パターンを与え、電子ビームテストで被試験半導体集積回路の配線の電位コントラスト像を観測して正常回路と故障回路の電位差を得ることによって、論理故障などの故障箇所を推定する方法であり、例えば、日本国特許公開 4 5 4 2 3 / 9 3 号公報に記載されている。エミッション顕微鏡をも  
20 ちいる集積回路の故障解析手法は、光子レベルの非常に微弱な光を捕らえることができる光検出器（エミッション顕微鏡）を用いて電流リーク箇所が発生する微小な光を検出し、発光像を被試験半導体集積回路の配線パターン像と重ね合わせることにより電流リーク箇所を推定する方法であり、例えば、日本国特許公開 4 1 2 8 / 9 8 号公報に記載されている。液晶を用いる半導体集積回路の故障解析  
25 手法は、被試験半導体集積回路に入力試験パターンをあたえ、被試験半導体集積回路のチップ表面に塗布した液晶の光学的変化を調べることによって、微弱な発熱を伴う電流リークなどの故障箇所を推定する方法であり、例えば、日本国特許

公開 7 4 9 1 1 / 9 3 号公報に記載されている。

一方、非破壊で半導体集積回路の故障箇所を推定する故障解析手法として、故障シミュレーションによる故障解析手法がある。故障シミュレーションとは、集積回路内部に故障を仮定した時に、所定の入力試験パターンに対する出力端子からの出力値をシミュレーションするものであり、そのシミュレーションの結果は、通常、故障辞書 (fault dictionary) と呼ばれる各仮定故障と入出力論理値の対応表としてまとめられる。この故障シミュレーションによる故障解析手法は、被試験半導体集積回路の入力端子に所定の入力試験パターンを与え、出力端子から出力する信号が期待値と異なっていたとき、その被試験半導体集積回路の入出力論理値から故障辞書を用いて対応する故障箇所を得ることにより行われる。

論理不良を生じない故障、例えば短絡故障や電流リーク故障などに対応するために、IDDQ (静止電源電流、quiescent power supply current) 試験法と故障シミュレーションを併用し、半導体集積回路のIDDQ異常情報と入力試験パターンに基づいて故障箇所を推定することを可能とする故障解析手法が提案されている。このIDDQ試験法を併用した故障解析法については、例えば日本国特許公開 2 0 1 4 8 6 / 9 6 号公報に記載されている。

しかし、電子ビームテストやエミッション顕微鏡、液晶などをもちいる故障解析法はいずれも半導体集積回路を開封してチップ表面を露出する必要があるため、故障解析にコストがかかる。また、半導体集積回路の高集積化や多層配線化により、故障箇所を推定することが困難になってきている。

また、入出力信号応答と故障シミュレーションをもちいる故障解析手法は、故障シミュレーションで扱われる故障モデルが1つの信号線がある状態 (0 又は 1) に固定される故障、いわゆる単一の縮退故障 (Stuck-At-0 または Stuck-At-1) のみであり、複数の信号線が 0 又は 1 に固定される多重縮退故障や遅延故障、信号線間の短絡故障等を感度よくシミュレーションすることができない。また、この故障解析手法は、半導体集積回路の出力値と期待値との不一致が検出されてはじめて故障箇所の推定が可能となるため、論理故障 (縮退故障) 以外の故障、例

えば内部に故障が発生していても論理不良にはならない短絡故障に対しては故障箇所を推定できなかった。さらに、故障シミュレーションに遅延故障モデルを組み込むことで遅延故障や遅延故障の原因となる断線故障の位置を推定できるが、遅延故障の影響を半導体集積回路の出力端子で観測するためのテストパターン生成が困難であり、遅延故障の故障箇所を効率よく推定することが困難であるという問題がある。

さらに、IDDQ試験法と故障シミュレーションを併用した故障解析法は、IDDQ試験法が半導体集積回路の安定状態における電源電流を測定する試験法であり、半導体集積回路の過渡情報をもたないため、回路の遅延時間を変化させる故障の故障箇所を推定することができない。また、IDDQ試験法は、主に半導体集積回路内の短絡故障を対象としており、遅延故障が生じる断線故障や局所的なプロセスパラメータ（シート抵抗、酸化膜厚など）の異常（パラメトリック故障）などを検出することができないため、遅延故障や断線故障、パラメトリック故障の故障箇所を解析できないという問題があった。

このため、半導体集積回路の遅延故障や断線故障を効率的に検出し、その故障箇所を効率よく推定できる故障解析法が必要となる。

本発明の目的は、半導体集積回路内の遅延故障や断線故障の故障箇所を、半導体集積回路デバイスを加工することなく効率的に推定できる故障解析方法及びその装置を提供することにある。

## 発明の開示

このような目的を達成するために、本発明の第1の形態によれば、半導体集積回路における故障箇所を推定する故障解析方法であって、半導体集積回路に電源電圧を印加するステップと、半導体集積回路に複数のテストパターン系列を供給するステップと、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納するステップと、テストパターンの変化に応じて半導体集積回路にお

いて発生する過渡電源電流を測定し、過渡電源電流が異常を示すか否かを判断するステップと、過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された解析箇所に基づいて、当該解析箇所における故障箇所を推定するステップと

5      を備えたことを特徴とする故障解析方法を提供する。

また、過渡電源電流が異常を示すか否かを判断するステップは、過渡電源電流のパルス幅が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断することが好ましい。

10      また、過渡電源電流が異常を示すか否かを判断するステップは、所定の時間における過渡電源電流の瞬時値が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断してもよい。

また、過渡電源電流が異常を示すか否かを判断するステップは、過渡電源電流の時間積分値が所定の値を超えたときに当該過渡電源電流が異常を示すと判断してもよい。

15      当該故障解析方法は、所定の値をシミュレーションで算出するステップを更に備えることが好ましい。

また、故障箇所を推定するステップは、複数のテストパターン系列のうち、2以上のテストパターン系列において過渡電源電流が異常を示した場合に、異常を示したテストパターン系列の全てに対応づけて格納された解析箇所を、故障箇所  
20      と推定することが好ましい。

故障箇所を推定するステップは、複数のテストパターン系列のうち、2以上のテストパターン系列において過渡電源電流が異常を示した場合に、当該2以上のテストパターン系列のうちの所定のテストパターン系列に対応する解析箇所から、当該2以上のテストパターン系列のうちの他のテストパターン系列に対応しない解析箇所を削除するステップと、所定のテストパターン系列に対応する解析  
25      箇所のうち、残った解析箇所を故障箇所と推定するステップとを有することが好ましい。

この場合、解析箇所を削除するステップは、半導体集積回路に供給された複数のテストパターン系列のうち、最初に過渡電源電流が異常を示したテストパターン系列を所定のテストパターン系列とするステップを有することが好ましい。

故障箇所を推定するステップは、過渡電源電流が異常を示すテストパターン系列に対応する解析箇所から、過渡電源電流が異常を示さないテストパターン系列に対応する解析箇所を削除するステップと、過渡電源電流が異常を示すテストパターン系列に対応する解析箇所のうち、残った解析箇所を故障箇所と推定するステップとを有してもよい。

解析箇所を格納するステップは、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて出力を変化させる論理素子を解析箇所として、当該テストパターン系列と対応づけて格納してもよく、また、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる信号線を、当該テストパターン系列と対応づけて格納してもよく、更に、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる信号線、及び当該信号線に接続され当該テストパターンの変化に応じ出力を変化させる論理素子を含む信号伝搬パスを、当該テストパターン系列と対応づけて格納してもよい。

本発明の第 2 の形態によれば、半導体集積回路における故障箇所を推定する故障解析装置であって、半導体集積回路に電源電圧を印加する手段と、半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、テストパターンの変化に応じて半導体集積回路において発生する過渡電源電流を測定し、過渡電源電流が異常を示すか否かを判断する過渡電源電流試験器と、過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された解析箇所に基づいて、当該解析箇所における故障箇所を推定する故障箇所推定器とを備えたことを特徴とする故障解析装置を提供する。

本発明の第 3 の形態によれば、半導体集積回路における故障箇所を推定する故

- 障解析装置であって、半導体集積回路に電源電圧を印加する手段と、半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、テストパターンの変化に応じて半導体集積回路において発生する過渡電源電流を測定する手段と、過渡電源電流のパルス幅が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断する手段と、過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された解析箇所に基づいて、当該解析箇所における故障箇所を推定する手段とを備えたことを特徴とする故障解析装置を提供する。

- 本発明の第4の形態によれば、半導体集積回路における故障箇所を推定する故障解析装置であって、半導体集積回路に電源電圧を印加する手段と、半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、テストパターンの変化に応じて半導体集積回路において発生する過渡電源電流を測定する手段と、所定の時間における過渡電源電流の瞬時値が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断する手段と、過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された解析箇所に基づいて、当該解析箇所における故障箇所を推定する手段とを備えたことを特徴とする故障解析装置を提供する。

- 本発明の第5の形態によれば、半導体集積回路における故障箇所を推定する故障解析装置であって、半導体集積回路に電源電圧を印加する手段と、半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、半導体集積回路に含まれ、供給されたテストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、テストパターンの変化に応じて半導体集積回路において発生する過渡電源電

- 流を測定する手段と、過渡電源電流の時間積分値が所定の値を超えたときに当該過渡電源電流が異常を示すと判断する手段と、過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された解析箇所に基づいて、当該解析箇所における故障箇所を推定する手段とを備えたことを特徴とする故障解析装置を提供する。
- 5

#### 図面の簡単な説明

図 1 a は CMOS インバータの入力電圧  $V_{IN}$  の経時変化とその出力電圧  $V_{OUT}$  応答例を示す図である。

- 10 図 1 b は図 1 a に示した入力電圧  $V_{IN}$  の経時変化に対するその電源電流  $I_{DD}$  の過渡応答の一例を示す図である。

図 1 c はその CMOS インバータ回路と出力の立ち上がり遷移時に流れる電源電流を示す図である。

- 15 図 1 d はその CMOS インバータ回路と出力の立ち下がり遷移時に流れる電源電流を示す図である。

図 2 a は CMOS 論理ゲートの過渡応答の典型例における入力電圧  $V_{IN}$ 、出力電圧  $V_{OUT}$ 、電源電流  $I_S$  の伝達特性を示す図である。

図 2 b は図 2 a に示した過渡電流の近似波形を示す図である。

図 3 a は CMOS 集積回路の例を示す回路図である。

- 20 図 3 b は図 3 a の集積回路に対する入力電圧、出力電圧の変化の様子を示す図である。

図 3 c は図 3 b に示した変化と対応する過渡電源電流  $I_{DDT}$  の様子を示す図である。

- 25 図 4 a は入、出力ラッチを備えた半導体集積回路に対する遅延故障試験方法の基本原理を模式的に示す図である。

図 4 b は図 4 a に示した回路の入力電圧  $V_{IN}$  に対する出力電圧  $V_{OUT}$  の遅延と動作クロック  $CLK$  との関係を示す図である。

図 5 a は論理故障を生じる信号線の断線状態を示す図である。

図 5 b は図 5 a に示した信号線に対する入力電圧及び出力電圧を示す図である。

図 5 c は遅延故障を生じる信号線の断線状態を示す図である。

5 図 5 d は図 5 c に示した信号線に対する入力電圧及び出力電圧を示す図である。

図 6 a は CMOS 論理回路において遅延故障がない場合とある場合の入力電圧と出力電圧の時間経過を示す図である。

10 図 6 b は過渡電源電流試験方法の原理図を示すための図で図 6 a の入出力電圧変化と対応する過渡電源電流を示す図である。

図 7 は別の過渡電源電流試験方法の原理図を示すための図で、a は遅延故障がない場合とある場合の入力電圧と出力電圧の時間経過を示す図、b はこれと対応する過渡電源電流と測定時点を示す図である。

15 図 8 は CMOS インバータの入力遷移時間に対する過渡電源電流の積分値の変化を示す図である。

図 9 a は CMOS インバータの入力信号線に存在する微小オープン欠陥のモデルを示す図である。

図 9 b は前記微小オープン欠陥がない場合の信号遷移時間を模式的に示す図である。

20 図 9 c は前記微小オープン欠陥がある場合の前記微小オープン欠陥後の信号遷移時間を模式的に示す図である。

図 10 は CMOS 集積回路内に存在する微小オープン欠陥の抵抗値  $R_{open}$  に対する CMOS 集積回路の過渡電源電流の積分値  $Q_{DDT}$  の変化を示す図である。

25 図 11 は CMOS 製造プロセスのばらつきに対する CMOS 集積回路の過渡電源電流の積分値の分布を示すヒストグラム図である。

図 12 は CMOS 集積回路の被試験パス上に存在する微小オープン欠陥の抵抗値  $R_{open}$  に対する被試験パスのパス遅延時間  $t_{pd}$  の変化を示す図である。

図 1 3 は CMOS 集積回路の被試験パス上に微小オープン欠陥が存在すると仮定したときの、CMOS 集積回路の過渡電源電流の積分値  $Q_{DDT}$  と被試験パスのパス遅延時間  $t_{pd}$  の間の線形性を示す図である。

図 1 4 は、被試験 CMOS 集積回路の一例を示す回路図である。

- 5 図 1 5 は図 1 4 に示した被試験 CMOS 集積回路に対する故障シミュレーション結果の一例を示す図である。

図 1 6 は被試験 CMOS 集積回路の他の例を示す回路図である。

図 1 7 は図 1 6 に示した被試験 CMOS 集積回路に対する別の故障シミュレーション結果の一例を示す図である。

- 10 図 1 8 は図 1 4 に示した回路に対する信号伝搬パス単位の故障リストの例を示す図である。

図 1 9 は図 1 6 に示した回路に対する信号伝搬パス単位の故障リストの例を示す図である。

図 2 0 は本発明の故障解析装置の機能構成の一例を示すブロック図である。

- 15 図 2 1 は図 2 0 中の過渡電源電流試験器 1 0 2 の機能構成の一例を示すブロック図である。

図 2 2 は図 2 1 中の過渡電源電流波形測定器 2 0 2 の機能構成の一例を示すブロック図である。

- 20 図 2 3 は図 2 1 中の過渡電源電流波形測定器 2 0 2 の機能構成の他の例を示すブロック図である。

図 2 4 は本発明の故障解析方法でもちいられる過渡電源電流試験方法の処理手順の一例を示すフローチャートである。

図 2 5 は図 2 0 中の過渡電源電流試験器 1 0 2 の機能構成の他の例を示すブロック図である。

- 25 図 2 6 は図 2 5 中の過渡電源電流瞬時値測定器 6 0 2 の機能構成の一例を示すブロック図である。

図 2 7 は図 2 5 中の過渡電源電流瞬時値測定器 6 0 2 の機能構成の他の例を

示すブロック図である。

図 28 は本発明の故障解析方法でもちいられる過渡電源電流試験方法の処理手順の他の例を示すフローチャートである。

5 図 29 は図 20 中の過渡電源電流試験器 102 の機能構成のさらに他の例を示すブロック図である。

図 30 は図 29 中の過渡電源電流積分値測定器 1002 の機能構成の一例を示すブロック図である。

図 31 は図 29 中の過渡電源電流積分値測定器 1002 の機能構成の他の例を示すブロック図である。

10 図 32 は本発明の故障解析方法でもちいられる過渡電源電流試験方法の処理手順のさらに他の例を示すフローチャートである。

図 33 は本発明の故障解析方法の処理手順を示すフローチャートである。

図 34 は本発明の故障解析方法の処理手順の他の例を示すフローチャートである。

15 図 35 は図 20 中の故障箇所推定器 106 の機能構成の一例を示すブロック図である。

図 36 は本発明の故障解析方法でもちいられる故障箇所推定方法の処理手順の一例を示すフローチャートである。

20 図 37 は図 20 中の故障箇所推定器 106 の機能構成の他の例を示すブロック図である。

図 38 は本発明の故障解析方法でもちいられる故障箇所推定方法の処理手順の他の例を示すフローチャートである。

図 39 は図 20 中の故障箇所推定器 106 の機能構成のさらに他の例を示すブロック図である。

25 図 40 は本発明の故障解析方法でもちいられる故障箇所推定方法の処理手順のさらに他の例を示すフローチャートである。

## 発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態の一例を説明する。まず、もっとも一般的な半導体集積回路であるCMOS集積回路を例として本発明の概要を説明する。本発明では被試験半導体集積回路の過渡電源電流を測定して、それが異常か否かを決定する。よってまず過渡電源電流について説明する。

### 過渡電源電流

CMOS集積回路の電源電流は、CMOS集積回路に流れ込む電源電流であり、集積回路内の各論理ゲートを流れる電流の和であらわされる。

図1は、CMOSインバータ(図1c及びd)の過渡応答(transient response)を示す。この過渡応答は、回路シミュレータで求めた。図1aは、過渡状態における入力電圧 $V_{IN}$ に対する出力電圧 $V_{OUT}$ の応答を、図1bは、電源からCMOSインバータに流れ込む電流 $I_{DD}$ の応答をそれぞれ示す。この電流 $I_{DD}$ を過渡電流(transient current)と呼ぶ。インバータの入力 $I_N$ が“1”から“0”に遷移するとき(図1c)、入力電圧がn-MOSのしきい電圧より高くp-MOSのしきい電圧より低いあいだ、n-MOSとp-MOSが一瞬だけ同時にオンとなり、電源端子 $T_{VD}$ からグランド $GND$ へ貫通電流(short circuit current)  $I_S$ が流れる。このとき、インバータの出力信号線の出力 $O_{UT}$ は“0”から“1”に遷移するため、貫通電流 $I_S$ と同時に、インバータの出力信号線に接続された寄生容量(parasitic capacitance)  $C_{load}$ への充電(capacitance charging)にともなう電流 $I_C$ が電源端子 $T_{VD}$ から寄生容量 $C_{load}$ に流れる。したがって、インバータの入力 $I_N$ に立ち下がり遷移が生じるとき(添字“f”で識別する)、インバータに流れ込む過渡電流 $I_{Gf}$ は、貫通電流 $I_{Sf}$ と充電電流(capacitance charging current)  $I_C$ の和であたえられる。

$$I_{Gf} = I_{Sf} + I_C \quad (1)$$

一方、入力 $I_N$ が“0”から“1”に遷移するとき(出力が“1”から“0”

に遷移するとき（添字“r”で識別する）（図1d））、出力信号線に接続された寄生容量 $C_{load}$ からの放電（capacitance discharging）がおこり、放電電流（capacitance discharging current） $I_D$ が生じるが、電源端子 $T_{VD}$ からインバータへ流れ込む電流 $I_{Gr}$ は貫通電流 $I_{Sr}$ だけである。このため、この電流 $T_{VD}$ のピークは、図1bに示すように立ち上がり遷移時の過渡電流 $I_{Gf}$ のピークよりわずかに小さくなる。

$$I_{Gr} = I_{Sr} \quad (2)$$

10 CMOSインバータの伝達特性は、図2aに示すように入力電圧 $V_{IN}$ の変化に対し三角パルス状の電流 $I_s$ を示す。このため、CMOSインバータの入力が立ち上がり遷移をもつとき、CMOSインバータを流れる貫通電流波形 $I_{Sr}$ は、入力電圧 $V_{IN}$ がランプ状に遷移すると仮定すると、貫通電流は図2bにおいて“ $I_s$ ”で示した三角パルスで近似できる。また、図2bに示した入力信号の立ち上

15 がり遷移に対するCMOSインバータの貫通電流波形 $I_{Sr}$ は、つぎのような近似式であたえられる。

$$I_{Sr} = \begin{cases} 0, & t \leq \frac{V_{THN}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{THN}) \cdot t_r} t - \frac{V_{THN} \cdot I_{Smax}}{(V_{SP} - V_{THN})}, & \frac{V_{THN}}{V_{DD}} t_r < t \leq \frac{V_{SP}}{V_{DD}} t_r \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP}) \cdot t_r} t - \frac{(V_{DD} - V_{THP}) \cdot I_{Smax}}{(V_{SP} - V_{DD} + V_{THP})}, & \frac{V_{SP}}{V_{DD}} t_r < t \leq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \\ 0, & t \geq \frac{V_{DD} - V_{THP}}{V_{DD}} t_r \end{cases} \quad (3)$$

20 ここで、 $I_{Smax}$ はCMOSインバータに流れ込む過渡電流（貫通電流）の最大値、 $V_{DD}$ は電源電圧、 $V_{THN}$ はn-MOSトランジスタのしきい電圧、 $V_{THP}$ はp-MOSトランジスタのしきい電圧、 $t_r$ は入力信号の立ち上がり遷移時間である。

ただし、 $V_{THP}$  は絶対値で示した。また、近似式を簡略化するため、入力電圧  $V_{IN}$  の遷移開始時刻は 0 とし、遷移終了時刻  $t_f$  で入力電圧は  $V_{DD}$  になるとしてよい。

入力信号の立ち下がり遷移に対する CMOS インバータの貫通電流波形  $I_{sf}$  についても同様に、

$$I_{sf} = \begin{cases} 0, & t \leq \frac{V_{THN}}{V_{DD}} t_f \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{DD} - V_{THN} - V_{SP}) \cdot t_f} t - \frac{V_{THN} \cdot I_{Smax}}{(V_{DD} - V_{THN} - V_{SP})}, & \frac{V_{THN}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{SP}}{V_{DD}} t_f \\ \frac{V_{DD} \cdot I_{Smax}}{(V_{THN} - V_{SP}) \cdot t_f} t - \frac{(V_{DD} - V_{THP}) \cdot I_{Smax}}{(V_{THN} - V_{SP})}, & \frac{V_{DD} - V_{SP}}{V_{DD}} t_f < t \leq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f \\ 0, & t \geq \frac{V_{DD} - V_{THN}}{V_{DD}} t_f \end{cases} \quad (4)$$

と求めることができる。ここで、 $t_f$  は入力信号の立ち下がり遷移時間である。

10 この場合の電源電流の立ち上がり開始時刻、最大値  $I_{Smax}$  の時刻、立ち下り終了時刻を図 2 b に、括弧を付けて示した。

さらに、CMOS インバータの出力信号線の寄生容量  $C_{load}$  への充電電流  $I_c$  は、出力信号線の電圧変化を  $v_{out}(t)$  とすると次式であたえられる。

$$15 \quad I_c = C_{load} \frac{dv_{out}(t)}{dt} \quad (5)$$

これらの式は、インバータ以外の論理ゲートに対しても同様に求めることができる。

20 論理ゲートに流れ込む過渡電流  $I_g$  は、そのほとんどが貫通電流であると仮定すると、図 2 b に  $I_s$  で示すような三角パルスで近似できる。実際、CMOS インバータの過渡電流波形  $I_g$  は、図 1 b に示したような三角パルスを示す。した

がって、論理ゲートの過渡電流  $I_G$  は、図 2 b に示すように、最大値  $I_{Smax}$  になるまでは単調に増加し、最大値  $I_{Smax}$  以降は単調に減少する。また、 $I_G$  が最大値  $I_{Smax}$  となるのは、入力電圧  $V_{IN}$  が論理ゲートのスイッチング電圧  $V_{SP}$  になったときである。すなわち、図 2 b に示すように、 $I_G$  がピークとなる時刻と論理ゲートの入力遷移の時刻が一致する。論理ゲートは遅延時間をもつため、論理ゲートの出力遷移の時刻は入力遷移の時刻よりわずかに遅れる。すなわち、 $I_G$  がピークとなる時刻は論理ゲートの出力遷移の時刻よりわずかに先行する。この場合、過渡電流波形  $I_G$  の立ち下がリエッジ（立ち下り部分）が、出力遷移の時刻に一致すると考えることができる。さらに、論理ゲートの過渡電流波形  $I_G$  のパルス幅は、入力電圧の遷移時間（例えば立ち上がり遷移時間  $t_r$ ）に比例する。

これまでは、論理ゲートに流れ込む過渡電流  $I_G$  の大部分が貫通電流  $I_S$  であると仮定して議論してきた。しかし、CMOS 製造プロセスの微細化によって、ゲート遅延より配線遅延が支配的となる。これは、入力電圧の遷移時間が一定であると仮定すると、CMOS 論理ゲートに流れ込む過渡電流  $I_G$  において、貫通電流  $I_S$  の割合より出力信号線への充電電流  $I_C$  の割合が大きくなることを意味する。このため、論理ゲートの過渡電流波形がピークとなる時刻は、充電電流  $I_C$  と貫通電流  $I_S$  の比に依存する。 $I_C$  が  $I_S$  より小さいとき、過渡電流波形  $I_G$  のピークは  $I_S$  のピークと一致する。 $I_S$  のピークは入力電圧の遷移時刻と一致するため、 $I_G$  のピークは論理ゲートの出力の遷移時刻より先行する。逆に、 $I_C$  が  $I_S$  より大きいとき、過渡電流波形のピークは  $I_C$  のピークと一致する。充電電流  $I_C$  は出力信号線の電圧遷移に関係するため、 $I_G$  のピークは論理ゲートの出力の遷移時刻とほぼ一致する。

図 3 a に示す CMOS 集積回路は、図 1 c に示したインバータを直列に 4 つ ( $G_1$ ,  $G_2$ ,  $G_3$ ,  $G_4$ ) 組み合わせたものであり、各インバータ  $G_1$ ,  $G_2$ ,  $G_3$ ,  $G_4$  をそれぞれ流れる過渡電流  $I_{G1}$ ,  $I_{G2}$ ,  $I_{G3}$ ,  $I_{G4}$  は通常一つの電源端子  $T_{VD}$  から供給される。このため、集積回路の過渡電源電流 (transient power supply current) 応答は、図 3 c に示すように各論理ゲートを流れる過渡

電流の和としてあらわされ、次式で与えられる。

$$I_{DDT} = \sum_{n=1}^N I_{Gn} \quad (6)$$

- 5      ここで、Nは入力されたテストパターン系列によりスイッチングする論理ゲート  
の数であり、図3 aの例ではN=4である。図3 bは各論理ゲートの入力電圧と  
出力電圧の関係を示す。

- 10      論理ゲートの過渡電流波形のピーク（または、立ち下がリエッジ）がその論理  
ゲートの出力の遷移時刻に対応することから、CMOS集積回路の過渡電源電流  
波形の最終ピーク（最終の立ち下がリエッジ）がCMOS集積回路において最後  
にスイッチングする論理ゲートの出力遷移時刻に一致する。したがって、CMOS  
集積回路の過渡電源電流波形の最終ピーク（最終の立ち下がリエッジ）を検出  
し、この検出時刻と、入力遷移の時刻とを比較することにより、その集積回路の  
15      パス遅延時間を求めることができる。ここで、過渡電源電流の最終の立ち下が  
リエッジの時刻は、その集積回路のパスの入力の遷移時刻から例えば、過渡電源電  
流がある既定の電流値となる時刻の最大値として求めることができる。この電流  
値は集積回路中の、被試験パス上の最後の論理ゲートの出力電圧が電源電圧V<sub>DD</sub>  
の半分の値となるときの電源電流の値であり、これは被試験回路に対する回路シ  
ミュレーションや実デバイスをもちいた統計データなどから求めることができ  
20      る。

以上に示した過渡電源電流に基づき、半導体集積回路における故障を検出でき  
ることを以下に説明する。

- 先に述べたように、求めることができる遅延時間を既定の時間（例えば、シス  
テムクロックの周期T<sub>CLK</sub>）と比較することにより、半導体集積回路の被試験パ  
25      スにおける遅延故障を検出することができる。

## 遅延故障

最初に、遅延故障について定義する。CMOS論理回路において、2つのテストパターン  $v_1, v_2$  をもつテストパターン系列  $T = \langle v_1, v_2 \rangle$  (電圧信号  $v_1$  の次に電圧信号  $v_2$  が続くことをあらわす) を用いて半導体集積回路内のパス  $P = \{g_0, g_1, g_2, \dots, g_m\}$  を活性化するときを考える。ここで、 $g_0$  はパス  $P$  の入力信号線であり、 $g_1, g_2, \dots, g_m$  はパス  $P$  上の論理ゲート  $G_1, G_2, \dots, G_m$  の出力信号線である。同時に、 $g_0, g_1, \dots, g_{m-1}$  はパス  $P$  上の論理ゲート  $G_1, G_2, \dots, G_m$  の入力信号線でもある。各信号線  $g_0, g_1, \dots, g_m$  の信号遷移の時刻 (電圧信号が  $V_{DD}/2$  をよこぎる時刻) をそれぞれ  $\tau_0, \tau_1, \dots, \tau_m$  とすると、パス  $P$  上の各論理ゲート  $G_1, G_2, \dots, G_m$  のゲート遅延時間  $t_{gdi}$ ,  $1 < i < m$  は、それぞれ

$$t_{gdi} = \tau_i - \tau_{i-1} \quad (7)$$

であたえられる。したがって、パス  $P$  のパス遅延時間  $t_{pd}$  は、ゲート遅延時間  $t_{gdi}$  の和として、

$$t_{pd} = \sum_{i=1}^m t_{gdi} = t_m - t_0 \quad (8)$$

で求めることができる。しかし、実際のゲート遅延時間  $t_{gdi}$  は、故障の影響により変動し、下記のようになる。

$$t_{gdi} = t_{gdi,typ} + \delta_i, \quad 1 < i < m \quad (9)$$

ここで、 $t_{gdi,typ}$  は論理ゲート  $G_i$  のゲート遅延時間の典型値であり、 $\delta_i$  はゲート遅延時間の変動成分である。例えば、断線故障は、故障をもつ論理ゲートのゲート遅延時間のみを増加させ、ほかの論理ゲートの遅延時間を増加させない。また、パラメトリック故障は、すべての論理ゲートの遅延時間を増加させる。ゲート遅延時間の変動にともなう、パス遅延時間  $t_{pd}$  も同様に次式のように変動する。

$$t_{pd} = t_{pd,typ} + \Delta = \sum_{i=1}^m (t_{gdi,typ} + d_i) \quad (10)$$

ここで、 $t_{pd,typ}$  はパス  $P$  のパス遅延時間の典型値であり、 $\Delta$  はパス遅延時間の変動成分である。

図 4 に遅延故障試験方法の基本原則を模式的に示す。図 4 a に示す被試験半導体集積回路 (CUT) が正常に動作するためには、入力ラッチに生成された信号遷移が被試験半導体集積回路内のパス  $P$  をとおって出力ラッチまで既定の時間内に伝搬しなければならない。したがって、図 4 b に示す入力  $V_{IN}$  及び出力  $V_{OUT}$  の関係と、システムクロック  $CLK$  との関係からパス  $P$  のパス遅延時間  $t_{pd}$  は以下の条件を満たさなければならない。

$$t_{pd} + T_{SU} < T_{CLK} - T_{SKW} \quad (11)$$

ここで、 $T_{SU}$  は信号のセットアップ時間、 $T_{CLK}$  はシステムクロックの周期、 $T_{SKW}$  はシステムクロックのクロックスキューである。クロックスキュー  $T_{SKW}$  はシステムクロックのタイミングのばらつきであり、システムクロックのエッジが土に変動している量である。式 (11) を変形すると、

$$t_{pd} < T_{CLK} - T_{SKW} - T_{SU} \equiv T' \quad (12)$$

となる。すなわち、パスPのパス遅延時刻  $t_{pd}$  は、クロック周期  $T_{CLK}$  からセットアップ時間  $T_{SU}$  やクロックスキュー  $T_{SKW}$  などのマージンをひいた時間（これを  $T'$  とする）より小さくしなければならない。もし、 $t_{pd}$  が  $T'$  より大きければ、パスPに沿った信号伝搬がシステムクロックに間に合わず、回路は正しい動作をしない。この状態を遅延故障と定義する。すなわち、 $t_{pd}$  がある既定の時間  $T'$  より大きいとき、パスPは遅延故障をもつと定義する。ここで、 $T'$  は、許容できる遅延時間の上限値である。

#### 10. 断線故障（遅延故障を伴う）

つぎに、遅延故障を生じる断線故障について定義する。断線故障は、故意でない電氣的不連続であり、ある信号線が二つ以上の異なる信号線に分割された状態である。断線故障には、金属の欠損や酸化膜による断線コンタクト、パターンニング不良やエッチング不良などによる金属配線断線、マスク不良などによる拡散層

あるいはポリシリコンにおける断線などが含まれる。また、断線故障は、図5aに示すように配線LがL1とL2に分割され、かつ分割された配線L1として間がかなり離れ、図5bに示すように、配線Lの一端への入力  $V_{IN}$  が配線Lの他端の出力  $V_{OUT}$  に全く表れない“論理故障”を生じる断線故障と、図5cに示すように分割された配線L1とL2が接近して、図5dに示すように配線Lの一端の

入力  $V_{IN}$  がトンネリング電流が流れることにより、配線Lの他端に遅れて出力される“遅延故障”を生じる断線故障との二つのタイプに分類できる。論理故障を生じる断線故障は、断線の規模が大きく故障の両端の信号線（分割された配線L1, L2）に電圧をあたえても電流が流れないため、信号遷移に伴う寄生容量  $C_{load}$  の充放電がおこなわれず論理がある一定の値に固定される論理故障を生じる。

これに対し、遅延故障を生じる断線故障では、故障の両端の信号線（L1とL2）に電圧をあたえると微小な電流が流れるが、その電流量は正常時より小さいため、信号遷移に伴う寄生容量  $C_{load}$  の充放電が遅くなり、回路の遅延時間が増加する。

遅延故障を生じる断線故障には、コンタクトなどの不良により信号線L 1とL 2間の抵抗値が正常値より大きくなる場合、又は信号線Lに生じた不良などにより信号線Lの抵抗値が正常値より大きくなる場合等に生じる抵抗性断線故障と、トンネル効果により断線された信号線L 1とL 2間を通してごく微量なリーク電流が流れる非常に小さな(< 100 nm)微小断線故障がある。この明細書では、

5 遅延故障を生じる断線故障を単に断線故障と呼ぶ。

#### 遅延故障検出方法（過渡電源電流パルス幅利用）

つぎに、上で述べた過渡電源電流のパルス幅を利用して遅延故障を検出する方法について述べる。この方法は、被試験回路の電源電流波形のパルス幅を測定し、

10 既定の時間と比較する方法である。上記方法の基本原理を図6に示す。

CMOS論理回路において、2つのテストパターン $v_1, v_2$ を持つテストパターン系列 $T = \langle v_1, v_2 \rangle$ により複数のパス $P_1, P_2, \dots, P_n$ が活性化されるとする。パス $P_i$ 上の入力から数えて $j$ 番目の論理ゲートがスイッチングする時刻

15 を $\tau_{ij}$ とすると、各パス $P_1, \dots, P_n$ により論理ゲートの数は異なり、パス $P_1, P_2, \dots, P_n$ においてもっとも遅くスイッチングする論理ゲート $G_{final}$ の出力遷移の時刻 $\tau_{max}$ は、

$$\tau_{max} = \max_{i,j} \{ \tau_{ij} \}, 1 \leq i \leq n, 1 \leq j$$

(13)

20

であたえられる。したがって、パス $P_1, P_2, \dots, P_n$ におけるパス遅延時間の最大値 $t_{pd,max}$ は、 $\tau_{max}$ と入力遷移の時刻 $\tau_0$ のあいだの時間間隔としてつぎのように求めることができる。

25

$$t_{pd,max} = \tau_{max} - \tau_0$$

(14)

一方、CMOS論理回路の過渡電源電流波形のパルス幅  $t_{PW}$  を、回路入力の信号遷移の時刻  $\tau_0$  と過渡電源電流波形の最終ピーク（立ち下がりエッジ）の時刻  $\tau_{IDD}$  のあいだの時間間隔と定義する。

$$5 \quad t_{PW} \equiv \tau_{IDD} - \tau_0 \quad (15)$$

前に述べたように、過渡電源電流波形の最終ピークの時刻  $\tau_{IDD}$  は、最後にスイッチングする論理ゲート  $G_{final}$  の出力遷移時刻  $\tau_{max}$  に一致するか  $\tau_{max}$  より先行することから、過渡電源電流波形のパルス幅  $t_{PW}$  は、テストパターン  $T$  により活性化されるパス  $P$  の遅延時間  $t_{pd,max}$  に対応する。

$$10 \quad t_{PW} = \tau_{IDD} - \tau_0 < \tau_{max} - \tau_0 = t_{pd,max} \quad (16)$$

もし、 $t_{PW}$  が許容できる遅延時間の上限値  $T'$  より大きいならば、

$$15 \quad T' < t_{PW} < t_{pd,max} \quad (17)$$

となる。もっとも大きな遅延時間  $t_{pd,max}$  をもつパスにおいて、信号の伝搬がシステムロックに間に合わない。すなわち、回路には遅延故障が存在する。したがって、 $T'$  より大きい  $t_{PW}$  は活性化されたパスのいずれかに遅延故障があることを示し、 $T'$  より小さい  $t_{PW}$  は活性化されたパスのいずれにも遅延故障が存在しないことを示す。

$$25 \quad \begin{array}{ll} \text{遅延故障なし, } t_{PW} < T' \\ \text{遅延故障あり, } t_{PW} > T' \end{array} \quad (18)$$

以上のように、過渡電源電流波形のパルス幅  $t_{PW}$  を既定の時間  $T'$  と比較す

ることにより、回路の遅延故障をテストすることができる。

遅延故障検出方法（過渡電源電流瞬時値利用）

図1 bに示すように、論理ゲートの過渡電源電流はピーク値以降単調に減少することから、図3 cに示すCMOS集積回路の電源電流は、同集積回路において最後にスイッチングする論理ゲートの出力遷移時刻以降単調に減少する。つまり、故障のないCMOS集積回路において、最後にスイッチングする論理ゲートの出力遷移時刻を $\tau_{\max}$ とし、時刻 $\tau_{\max}$ における過渡電源電流の瞬時値を $I'$ とすると、 $\tau_{\max}$ 以後CMOS集積回路の過渡電源電流が $I'$ より大きくなることはない。

- 10 この原理をもちい、ある既定時刻におけるCMOS集積回路の過渡電源電流の瞬時値を測定することにより、被試験回路における遅延故障を検出することができる。ここで、故障検出の判断基準となる電流値 $I'$ は、被試験パス上の最後の論理ゲートの出力が電源電圧の半分の値となるときの電源電流の値であり、被試験回路に対する回路シミュレーションや実デバイスをもちいた統計データなど
- 15 から求めることができる。

上で述べた過渡電源電流の瞬時値を利用して遅延故障を検出する方法について述べる。上記方法は、規定の時刻における被試験回路の過渡電源電流の瞬時値を測定し、遅延故障のないゴールデン回路の過渡電源電流値と比較する方法である。上記方法の基本原理を図7に示す。

- 20 CMOS論理回路において、テストパターン系列 $T = \langle v_1, v_2 \rangle$ により複数のパス $P_1, P_2, \dots, P_n$ が活性化されるとする。パス $P_i$ 上の入力から数えて $j$ 番目の論理ゲートがスイッチングする時刻を $\tau_{ij}$ とすると、パス $P_1, P_2, \dots, P_n$ においてもっとも遅くスイッチングする論理ゲート $G_{\text{final}}$ の出力遷移の時刻 $\tau_{\max}$ は、

25

$$\tau_{\max} = \max_{i,j} \{ \tau_{ij} \}, 1 \leq i \leq n, 1 \leq j$$

(19)

であたえられる。したがって、パス  $P_1, P_2, \dots, P_n$  におけるパス遅延時間の最大値  $t_{pd,max}$  は、 $\tau_{max}$  と入力遷移の時刻  $\tau_0$  の間の時間間隔としてつぎのように求めることができる。

5

$$t_{pd,max} = \tau_{max} - \tau_0 \quad (20)$$

前にも述べたように、論理ゲートの出力遷移の時刻が論理ゲートの過渡電源電流のピークまたは立ち下がり時刻に一致するので、 $\tau_{max}$  は回路の過渡電源電流波形  $I_{DDT}$  の最終ピークまたは立ち下がりエッジの時刻  $\tau_{IDD}$  に対応する。論理ゲートの電源電流  $I_G$  は三角波で近似でき、 $G_{final}$  は最後にスイッチングするゲートであるから、 $\tau_{max}$  以降に電源電流のピークをもつ論理回路は存在しない。したがって、 $t > \tau_{max}$  なる時刻  $t$  において電源電流波形関数  $i_{DDT}(t)$  は、単調減少関数である。すなわち、電源電流波形の時間関数を  $i_{DDT}(t)$  とし、時刻  $\tau_{max}$  における電源電流の瞬時値を

15

$$I' \equiv i_{DDT}(\tau_{max}) \quad (21)$$

とすると、 $t > \tau_{max}$  なる  $t$  において、

20

$$i_{DDT}(t) < i_{DDT}(\tau_{max}) = I', \quad t > \tau_{max} \quad (22)$$

が成立する。回路が正常に動作するためには、 $t_{pd,max}$  が遅延時間の上限値  $T'$  ( $= T_{CLK} - T_{SKEW} - T_{SU}$ ) (式12) より小さくなければならない。

25

$$t_{pd,max} = \tau_{max} - \tau_0 < T' \quad (23)$$

したがって、回路に故障がないとき、 $t = T' + \tau_0 > \tau_{\max}$  なる時刻  $t$  において、式 (22) より

$$i_{DDT}(T' + \tau_0) < I' \quad (24)$$

5

が成立する。もし、 $T' + \tau_0$  における  $i_{DDT}$  の瞬時値が  $I'$  より大きいならば、つまり、

$$i_{DDT}(T' + \tau_0) > I' = i_{DDT}(\tau_{\max}) \quad (25)$$

10 ならば、式 (22) より  $T' + \tau_0$  が  $\tau_{\max}$  より大きいことはありえないので、

$$\tau_{\max} > T' + \tau_0 \quad (26)$$

$$\therefore t_{pd,\max} = \tau_{\max} - \tau_0 > T' \quad (27)$$

15 となる。もっとも大きな遅延時間  $t_{pd,\max}$  をもつパスにおいて、信号の伝搬がシステムクロックに間に合わない。すなわち、回路には遅延故障が存在する。したがって、時刻  $T' + \tau_0$  における過渡電源電流値  $i_{DDT}(T' + \tau_0)$  が  $I'$  より大きいということは、活性化されたパスのいずれかに遅延故障があることを示す。逆に、 $i_{DDT}(T' + \tau_0)$  が  $I'$  より小さいということは、活性化されたパスの  
20 いずれにも遅延故障が存在しないことを示す。

遅延故障なし、 $i_{DDT}(T' + \tau_0) < I'$

遅延故障あり、 $i_{DDT}(T' + \tau_0) > I' \quad (28)$

25 以上のように、ある既定の時刻における  $i_{DDT}$  の瞬時値を故障のない回路の  $i_{DDT}$  レベルと比較することにより、回路の遅延故障を検出することができる。

過渡電源電流積分値

さらに、式（３）および式（４）より、貫通電流  $I_{Sr}$  および  $I_{Sf}$  の時間積分値  $Q_{Sr}$  および  $Q_{Sf}$  は、それぞれ、

$$Q_{Sr} = \int_{-\infty}^{\infty} I_{Sr} dt = \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_r$$

$$Q_{Sf} = \int_{-\infty}^{\infty} I_{Sf} dt = \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_f$$

5

(29)、(30)

であたえられる。したがって、スイッチングのとき論理ゲートを流れる貫通電流の積分値  $Q_S$  は、

$$Q_S = \int_{-\infty}^{\infty} I_{Sd} dt = \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T$$

10

(31)

であたえられる。ここで、 $t_T$  は入力信号の遷移時間である。すなわち、論理ゲートに流れ込む貫通電流  $I_S$  ( $I_{Sr}$  または  $I_{Sf}$ ) の積分値  $Q_S$  は、論理ゲートの入力遷移時間  $t_T$  に比例する。また、 $Q_S$  は、入力信号の遷移方向が立ち上がり遷移であるか、立ち下がり遷移であるかに関係ないことがわかる。

15

CMOS インバータの出力負荷容量  $C_{load}$  への充電電流  $I_C$  の積分値  $Q_C$  は式（５）より

$$\begin{aligned}
 Q_C &= \int_{-\infty}^{\infty} I_C dt = \int_{-\infty}^{\infty} C_{load} \frac{dv_{out}(t)}{dt} dt \\
 &= C_{load} [V_{OUT}(t)]_{-\infty}^{\infty} = C_{load}(V_{DD} - 0) = C_{load} V_{DD}
 \end{aligned}
 \tag{32}$$

であたえられ、CMOSインバータの入力遷移時間  $t_T$  には依存しない。

したがって、論理ゲートを流れる過渡電流  $I_{Gf}$  および  $I_{Gr}$  の各積分値  $Q_{Gf}$  およ  
 5  $Q_{Gr}$  は、式 (1), (2), (31), (32) より、

$$\begin{aligned}
 Q_{Gf} &= \int_{-\infty}^{\infty} (I_{Sf} + I_C) dt = \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T + C_{load} V_{DD} \propto t_T \\
 Q_{Gr} &= \int_{-\infty}^{\infty} I_{Sr} dt = \frac{I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{2V_{DD}} t_T \propto t_T
 \end{aligned}
 \tag{33}, (34)$$

10 ともとめられる。すなわち、論理ゲートの過渡電流の積分値は論理ゲートの入力  
 遷移時間に比例する。図8に、インバータの入力遷移時間を変化させたときのイ  
 ンバータの過渡電流の積分値の変化に関する回路シミュレーションの結果を示  
 している。これらからも、式 (33), (34) の考察が正しいことがわかる。

図3aに示すCMOS集積回路は、図1cに示したインバータを直列に4つ  
 15 (G1, G2, G3, G4) 組み合わせたものであり、各インバータを流れる電流  
 ( $I_{G1}$ ,  $I_{G2}$ ,  $I_{G3}$ ,  $I_{G4}$ ) は通常一つの電源から供給される。このため、集積  
 回路の過渡電源電流応答  $I_{DDT}$  は、図3cに示すように各論理ゲートを流れる電  
 流の和としてあらわされる (式 (6))。したがって、過渡電源電流  $I_{DDT}$  の積  
 分値  $Q_{DDT}$  も、各論理ゲートを流れる電流の積分値  $Q_{Gn}$  ( $1 < n < N$ ) の和とし  
 20 て式 (35) であらわされる。Nは集積回路中の入力されたテストパターン系列  
 によりスイッチングする論理ゲートの数であり、図3aに示す回路の場合は  $N =$

4である。

$$Q_{DDT} = \int_{-\infty}^{\infty} I_{DDT} dt = \int_{-\infty}^{\infty} \left( \sum_{n=1}^N I_{Gn} \right) dt = \sum_{n=1}^N \int_{-\infty}^{\infty} I_{G_{th}} dt = \sum_{n=1}^N Q_{Gn} \quad (35)$$

5

図3 a に示した例では、過渡電源電流  $I_{DDT}$  の積分値  $Q_{DDT}$  は、各インバータを流れる電流 ( $I_{G1}$ ,  $I_{G2}$ ,  $I_{G3}$ ,  $I_{G4}$ ) の積分値 ( $Q_{G1}$ ,  $Q_{G2}$ ,  $Q_{G3}$ ,  $Q_{G4}$ ) の和としてあらわされる。

各論理ゲートを流れる電流の積分値  $Q_{Gn}$  ( $1 < n < N$ ) は、式(33)または  
 10 式(34)に示すように、各論理ゲートの入力遷移時間  $t_{Tn}$  ( $1 < n < N$ ) にそれぞれ比例することから、 $Q_{DDT}$  は  $t_{Tn}$  ( $1 < n < N$ ) の線形多項式であたえられる。例えば、図3 a に示した例では、 $Q_{DDT}$  は各インバータ ( $G1$ ,  $G2$ ,  $G3$ ,  $G4$ ) の入力遷移時間 ( $t_{T1}$ ,  $t_{T2}$ ,  $t_{T3}$ ,  $t_{T4}$ ) の線形多項式(36)であたえられる。

15

$$Q_{DDT} = \sum_{n=1}^N Q_{Gn} = \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} = \sum_{n=1}^N a_n t_{Tn} + b \quad (36)$$

式(36)において、 $a_n$  は論理ゲート  $G_n$  の貫通電流の積分値  $Q_{Sn}$  と論理ゲート  $G_n$  の入力遷移時間  $t_{Tn}$  の間の比例係数であり、 $b$  は各論理ゲートに流れ込む  
 20 充電電流  $Q_{Cn}$  の和であらわされる定数項である。

断線故障 (過渡電源電流積分値利用)

この原理をもちいることにより、被試験パスにおける断線故障と断線故障による遅延故障を検出することができる。

断線故障は、故障をとおして小さな電流が流れるため、大きな抵抗 $R_{open}$ でモデル化できる。図9 aに、入力に断線故障をもつCMOSインバータの例を示す。入力信号線Aに図9 bに示す信号遷移が生じるとき、断線故障により、断線箇所

5 以後続する信号線A'の信号遷移が図9 cに示すように遅くなる。このとき、信号線A'の信号遷移時間 $t_T$ は、断線故障の抵抗を $R_{open}$ 、インバータの入力における寄生容量を $C_{in}$ とすると、

$$t_T = t_{T, typ} + 2.2 R_{open} C_{in} \quad (37)$$

10 であたえられる。ここで、 $t_{T, typ}$ は故障がない場合の入力信号の遷移時間の典型値であり、遷移時間 $t_T$ は電圧値が $0.1 V_{DD}$ から $0.9 V_{DD}$ まで立ち上がる（または、電圧値が $0.9 V_{DD}$ から $0.1 V_{DD}$ まで立ち下がる）のに要する時間としてもとめた。 $2.2 R_{open} C_{in}$ は $C_{in}$ が $0.1 V_{DD}$ から $0.9 V_{DD}$ になるまでの時であり $\log_e(0.9 V_{DD} / 0.1 V_{DD}) \times R_{open} C_{in}$ により求めた値

15 である。すなわち、インバータの入力信号の遷移時間の増分は、断線故障の抵抗値 $R_{open}$ に比例する。したがって、被試験パス上のk番目のインバータの入力に断線故障があるとき、CMOS集積回路の電源電流の積分値 $Q_{DDT}$ は、式(36)、(37)より、式(38)で求まり、この時の $Q_{DDT}$ は断線故障の抵抗値 $R_{open}$ に応じて線形に変化し、その増分は断線故障の抵抗値 $R_{open}$ に比例する。

20

$$\begin{aligned} Q_{DDT} &= \sum_{n=1}^N a_n T_{Tn} + b = \left[ \sum_{n=1}^N a_n t_{nTYP} + b \right] + 2.2 a_k C_{in} R_{open} \\ &= Q_{DDT, typ} + 2.2 a_k C_{in} R_{open} \propto R_{open} \end{aligned} \quad (38)$$

ここで、 $Q_{DDT, typ}$ は故障がない場合の電源電流の積分値の典型値とする。式(3

8) の右辺第 2 項の  $2 a_k C_{in} R_{open}$  は  $k$  番目のインバータの入力断線故障にもとづく加算量である。この式 (38) は、図 10 に示す  $R_{open}$  に対する  $Q_{DDT}$  の変化のシミュレーション結果とも一致する。図 10 は、図 3 に示した回路において、インバータ G2 の入力信号線 IN2 に断線故障があるときの、断線故障の抵抗値  $R_{open}$  に対する  $Q_{DDT}$  の変化をプロットしたものである。

したがって、過渡電源電流の積分値  $Q_{DDT}$  を測定し、故障のない回路の過渡電源電流の積分値  $Q_{DDT,typ}$  と比較することにより、被試験パス上の論理ゲートの入力段に存在する断線故障を検出することができる。実際の CMOS 製造プロセスでは、プロセスパラメータのばらつきによって、過渡電源電流の積分値は図 11 に示すように  $Q_{DDT,typ} \pm \Delta Q$  の範囲で変動する。ここで、 $\Delta Q$  は過渡電源電流の積分値の変動分である。このため、 $Q_{DDT}$  が故障のない回路において生じうる過渡電源電流の積分値の上限値  $Q_{DDT,typ} + \Delta Q$  より大きいとき、被試験パス上に断線故障があると判断することができる。すなわち、 $Q_{DDT,typ} + \Delta Q$  より小さい  $Q_{DDT}$  は CMOS 集積回路に断線故障がないことを示し、 $Q_{DDT,typ} + \Delta Q$  より大きい  $Q_{DDT}$  は CMOS 集積回路に断線故障が存在することを示す。

断線故障なし,  $Q_{DDT} < Q_{DDT,typ} + \Delta Q$

断線故障あり,  $Q_{DDT} > Q_{DDT,typ} + \Delta Q$  (39)

ここで、 $Q_{DDT,typ}$  および  $\Delta Q$  はプロセス変動に関するシミュレーションなどにより導出できる。

#### 遅延故障検出方法 (過渡電源電流積分値利用)

つぎに、上で述べた過渡電源電流の時間積分値を利用して遅延故障を検出する方法について述べる。上記方法は、被試験回路の過渡電源電流の積分値を測定し、所定の値と比較することによって遅延故障を評価する方法である。

論理ゲートのゲート遅延時間  $t_{gd}$  は、式 (40) に示すように入力信号の遷移

時間  $t_T$  に比例する。

$$t_{gd} = t_{gd,step} + \frac{1}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) t_T \quad (40)$$

- 5 ここで、 $t_{gd,step}$  は遷移時間 0 のステップ入力に対する故障のないインバータの遅延時間である。また、 $V_{TH}$  は p-MOS または n-MOS のしきい値電圧であり、入力の立ち上がり遷移に対しては  $V_{TH} = V_{THN}$ 、入力の立ち下がり遷移に対しては  $V_{TH} = V_{THP}$  であたえられる。したがって、入力信号線上に抵抗  $R_{open}$  でモデル化できる断線故障をもつ論理ゲートのゲート遅延時間  $t_{gd}$  は、論理ゲート
- 10 の入力遷移時間が式 (37) であたえられることから、式 (40) に式 (37) を代入して、

$$\begin{aligned} t_{gd} &= t_{gd,step} + \frac{t_T}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\ &= t_{gd,step} + \frac{t_{T,typ} + 2 \cdot 2R_{open}C_{in}}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) \\ &= t_{gd,step} + \frac{t_{T,typ}}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) + \frac{2 \cdot 2C_{in}}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\ &= t_{gd,step} + \frac{2 \cdot 2C_{in}}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open} \end{aligned} \quad (41)$$

- 15 と求めることができる。ここで、 $t_{gd,typ}$  は故障のない論理ゲートのゲート遅延時間の典型値である。すなわち、断線故障をもつ論理ゲートのゲート遅延時間  $t_{gd}$  は故障の抵抗値  $R_{open}$  によって変化し、ゲート遅延時間の増分  $\delta$  は故障の抵抗

値  $R_{open}$  に比例する。ゆえに、被試験パス上のいずれかの論理ゲートの入力に断線故障があるとき、被試験パスのパス遅延時間  $t_{pd}$  も  $R_{open}$  に比例する。このことを式で示すと、式 (10) に式 (41) を代入して式 (42) が得られることから理解される。

5

$$\begin{aligned}
 t_{pd} &= \sum_{i=1}^m t_{gdi} \\
 &= \sum_{i=1}^m t_{gdi, typ} + \frac{2 \cdot 2C_{ink}}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \\
 &= t_{pd, typ} + \frac{2 \cdot 2C_{ink}}{6} \left( 1 - 2 \frac{V_{TH}}{V_{DD}} \right) R_{open} \propto R_{open}
 \end{aligned}
 \tag{42}$$

これは、図 12 に示す  $R_{open}$  に対する  $t_{pd}$  の変化のシミュレーション結果とも一致する。図 12 は、図 3 a に示した回路において、インバータ G2 の入力信号線

10 IN2 に断線故障があるときの、断線故障の抵抗値  $R_{open}$  に対する  $t_{pd}$  の変化をプロットしたものである。

パス P 上のある論理ゲート  $G_k$  の入力に断線故障が存在するとき、 $G_k$  の貫通電流の積分値  $Q_{Sk}$  は、式 (31) および式 (37) より、

$$\begin{aligned}
Q_{Sk} &= \frac{I_{Smax}(V_{DD}-V_{THN}-V_{THP})}{2V_{DD}} t_{Tk} \\
&= \frac{I_{Smax}(V_{DD}-V_{THN}-V_{THP})}{2V_{DD}} (t_{T,typ} + 2 \cdot 2R_{open}C_{ink}) \\
&= \frac{I_{Smax}(V_{DD}-V_{THN}-V_{THP})}{2V_{DD}} t_{T,typ} + \frac{I_{Smax}(V_{DD}-V_{THN}-V_{THP})}{2V_{DD}} 2 \cdot 2R_{open}C_{ink} \\
&= Q_{Sk, typ} + \frac{2 \cdot 2I_{Smax}(V_{DD}-V_{THN}-V_{THP})C_{ink}}{2V_{DD}} R_{open}
\end{aligned}$$

ともとめられる。したがって、集積回路の過渡電源電流の積分値  $Q_{DDT}$  は、式(36)より、

$$\begin{aligned}
Q_{DDT} &= \sum_{n=1}^N Q_{Gn} \\
&= \sum_{n=1}^N Q_{Sn} + \sum_{n=1}^N Q_{Cn} \\
&= \sum_{n \neq k} Q_{Sn, typ} + Q_{Sk, typ} + \frac{2 \cdot 2I_{Smax}(V_{DD}-V_{THN}-V_{THP})C_{ink}}{2V_{DD}} R_{open} + \sum_{n=1}^N Q_{Cn} \\
&= \sum_{n=1}^N Q_{Sn, typ} + \sum_{n=1}^N Q_{Cn} + \frac{2 \cdot 2I_{Smax}(V_{DD}-V_{THN}-V_{THP})C_{ink}}{2V_{DD}} R_{open} \\
&= Q_{DDT, typ} + \frac{2 \cdot 2I_{Smax}(V_{DD}-V_{THN}-V_{THP})C_{ink}}{2V_{DD}} R_{open}
\end{aligned}$$

5

(43)

となり、集積回路の過渡電源電流の積分値  $Q_{DDT}$  も、断線故障の抵抗値  $R_{open}$  に

比例する。

したがって、式(42)および式(43)より、断線故障をもつパスPの遅延時間  $t_{pd}$  は、CMOS集積回路の過渡電源電流の積分値  $Q_{DDT}$  に対して線形に変化する。これは、図13に示す  $Q_{DDT}$  に対する  $t_{pd}$  の変化のシミュレーション結果とも一致する。図13は、図3aに示した回路において、インバータG2の入力信号線IN2に断線故障があるときの、過渡電源電流の積分値  $Q_{DDT}$  に対する  $t_{pd}$  の変化をプロットしたものである。

式(43)より求めた  $R_{open}$  を式(42)に代入すると式(44)が得られる。

$$\begin{aligned}
 t_{pd} &= t_{pd,typ} + \frac{2 \cdot 2C_{ink}}{6} \left[ 1 - 2 \frac{V_{TH}}{V_{DD}} \right] R_{open} \\
 &= t_{pd,typ} + \frac{2 \cdot 2C_{ink}}{6} \left[ 1 - 2 \frac{V_{TH}}{V_{DD}} \right] \frac{(Q_{DDT} - Q_{DDT,typ}) \cdot 2V_{DD}}{2 \cdot 2I_{Smax}(V_{DD} - V_{THN} - V_{THP})C_{ink}} \\
 &= t_{pd,typ} + \frac{V_{DD} - 2V_{TH}}{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})} (Q_{DDT} - Q_{DDT,typ})
 \end{aligned}
 \tag{44}$$

パス遅延時間  $t_{pd}$  が許容できる遅延時間の上限値  $T'$  となるときの過渡電源電流の積分値を  $Q_{max}$  とすると、式(44)において  $t_{pd} = T'$  ,  $Q_{DDT} = Q_{max}$  とおいて  $Q_{max}$  を求めると式(45)となる。

$$Q_{max} = Q_{DDT,typ} + \frac{3I_{Smax}(V_{DD} - V_{THN} - V_{THP})}{V_{DD} - 2V_{TH}} (T' - t_{pd,typ})
 \tag{45}$$

この  $Q_{max}$  は、遅延故障のないCMOS集積回路の過渡電源電流の積分値  $Q_{DDT}$  の上限値である。すなわち、 $Q_{DDT}$  が  $Q_{max}$  より小さいときCMOS集積回路に

は遅延故障が存在せず、 $Q_{DDT}$  が  $Q_{max}$  より大きいとき CMOS 集積回路に断線故障による遅延故障が存在すると判断することができる。

遅延故障なし,  $Q_{DDT} < Q_{max}$

5 遅延故障あり,  $Q_{DDT} > Q_{max}$  (46)

以上のように、過渡電源電流の積分値  $Q_{DDT}$  を既定値  $Q_{max}$  と比較することにより、回路の遅延故障をテストすることができる。ここで、既定値  $Q_{max}$  は、回路シミュレーションや統計データから式(45)をもちいて求めることができる。

10

#### 過渡電源電流による遅延故障試験の特徴

過渡電源電流は、集積回路の電源ピンを流れる過渡電流であり、電圧信号より高い可観測性が保証されている。このため、過渡電源電流をもちいた遅延故障試験方法は、電圧信号をもちいた遅延故障試験方法より、高い遅延故障の可観測性を保証することでできる。例えば、電圧信号をもちいた遅延故障試験方法は、電圧信号が集積回路の出力信号線まで伝搬しなければ遅延故障を検出できないのに対し、過渡電源電流信号をもちいた遅延故障試験方法は、たとえ電圧信号が集積回路の出力信号線まで伝搬しなくても、電圧信号が伝搬したパスの遅延時間に対応するパルス幅をもつ過渡電源電流信号が観測可能であるので、遅延故障を検出することができる。また、これに伴って、過渡電源電流信号をもちいた遅延故障試験方法は、電圧信号を集積回路の出力信号線まで伝搬させる必要がないので、電圧信号を集積回路の出力信号線まで伝搬させる必要がある電圧信号をもちいた従来の遅延故障試験方法に比べ、テストパターン生成の制約が少ない。このため、テストパターン生成を容易にすることができる。極端な例では、たとえテストパターン系列をランダムに選択した場合でも、過渡電源電流信号をもちいた遅延故障試験方法は、選択されたテストパターン系列により活性化されるパスの遅延故障を検出することができる。

15

20

25

## 故障リスト生成方法（論理ゲート）

つぎに、故障リスト生成方法について説明する。図 1 4 に被試験 CMOS 集積回路の一例を示す。この被試験集積回路は、3つの入力端子 I 1, I 2, I 3, 2つの出力端子 O 1, O 2, 3つの内部信号ノード N 1, N 2, N 3, 5つの論理ゲート G 1, G 2, G 3, G 4, G 5 をもち、入力端子 I 1 はインバータ論理ゲート G 1 の入力側に接続され、その出力側はノード N 1 を通じて NAND 論理ゲート G 3 の一方の入力側に接続され、入力端子 I 2, I 3 は NAND 論理ゲート G 2 の入力側に接続され、その出力側はノード N 2 を通じて論理ゲート G 3 の他方の入力側に接続され、その出力側はノード N 3 を通じてインバータ論理ゲート G 4 の入力側と NOR 論理ゲート G 5 の一方の入力側に接続され、論理ゲート G 5 の他方の入力側に入力端子 I 3 が接続され、論理ゲート G 4, G 5 の各出力側に出力端子 O 1, O 2 が接続されている。また、図に示していないが論理ゲート G 1, G 2, G 3, G 4, G 5 は共通の電源端子に接続されている。

上記被試験 CMOS 集積回路に対しておこなった故障シミュレーション結果の一例を図 1 5 に示す。図 1 5 において、第 1 列はテストパターン系列の識別子を示す。図 1 5 の第 2 列は被試験 CMOS 集積回路の入力端子 I 1, I 2, I 3 にあたえる入力信号（テストパターン系列）を示し、第 3 列は各テストパターン系列をあたえたとき、故障がない被試験 CMOS 集積回路の内部信号ノード N 1, N 2, N 3 に生じる信号を示し、第 4 列は各テストパターン系列をあたえたとき、故障がない被試験 CMOS 集積回路の出力端子 O 1, O 2 に生じる信号を示す。ここで、図 1 5 の第 2、第 3、第 4 列における信号“0”, “1”, “R”, “F” は、それぞれ、常時ローレベルの信号< “0”, “0” > (< > 内の第 1 要素は初期信号値を示し、第 2 要素は最終信号値を示す)、常時ハイレベルの信号(< “1”, “1” >)、ローレベルからハイレベルへの立ち上がり信号(< “0”, “1” >)、ハイレベルからローレベルへの立ち下がり信号(< “1”, “0” >)を示す。このため、各テストパターン系列は2つのテストパターンか

らなり、例えば、テストパターン系列  $T1 = "00R"$  は  $I1, I2, I3 = <$   
"000", "001"  $>$  を意味する。つまり "000" 及び "001" はそれ  
ぞれテストパターンであり、"000", "001" の列はテストパターン系列  
である。図15の第5列は、各テストパターン系列をあたえたとき過渡電源電流  
5 をもちいた試験で検出可能な故障論理ゲートの集合（故障箇所リスト）を示す。

論理ゲートが遅延故障や断線故障をもつとき、論理ゲートのスイッチング動作  
が遅くなり、これに伴って論理ゲートの過渡電源電流波形が変化するため、被試  
験集積回路の過渡電源電流は異常を示す。このため、あるテストパターン系列を  
あたえ過渡電源電流に異常が生じるか否かを観測することによって、上記入力テ  
10 ストパターン系列によりスイッチング動作を生じる論理ゲートに対し、これらの  
論理ゲートが故障しているか否かを判別することができる。例えば、図14に示  
す被試験CMOS集積回路にテストパターン系列  $T2$  をあたえると、図中に信号  
の論理状態を示すように被試験CMOS集積回路内の論理ゲート  $G2, G3, G$   
 $G4, G5$  にスイッチング動作を生じ、内部信号ノード（信号線）  $N2, N3$  お  
15 よび出力端子  $O1, O2$  に遷移信号が生じる。したがって、論理ゲート  $G2, G$   
 $G3, G4, G5$  のいずれかに故障が存在するとき、テストパターン系列  $T2$  をも  
ちいた過渡電源電流試験において過渡電源電流に異常が観測される。すなわち、  
テストパターン系列  $T2$  をもちいた過渡電源電流試験により、論理ゲート  $G2,$   
 $G3, G4, G5$  の故障を検出できる。したがって、テストパターン系列  $T2$   
20 に対する故障箇所リスト（故障検出可能ゲートのリスト）は、以上の故障シミュ  
レーションにより  $GT2 = \{G2, G3, G4, G5\}$  と求めることができる。

#### 故障箇所推定方法（論理ゲート）

つぎに、本発明の故障解析方法における故障箇所推定方法について述べる。例  
25 えば、図14に示す被試験CMOS集積回路にテストパターン系列  $T2, T4,$   
 $T6$  をあたえたとき、すべてのテストパターン系列に対して過渡電源電流が異常  
を示した場合を考える。図15に示す故障シミュレーション結果より、テストパ

ターン系列  $T_2$ ,  $T_4$ ,  $T_6$  によって検出可能な故障論理ゲートの集合、すなわち、故障箇所リストは、それぞれ、 $GT_2 = \{G_2, G_3, G_4, G_5\}$ ,  $GT_4 = \{G_2\}$ ,  $GT_6 = \{G_2, G_3, G_4\}$  であるので、推定される故障論理ゲートは、故障箇所リスト  $GT_2$ ,  $GT_4$ ,  $GT_6$  の共通要素、すなわち、集合

5  $GT_2$ ,  $GT_4$ ,  $GT_6$  の積集合であらわされる。したがって、

$$GT_2 \cap GT_4 \cap GT_6 = \{G_2\} \quad (47)$$

となり、故障論理ゲートは  $G_2$  であると推定できる。

10 また、この故障論理ゲート  $G_2$  は、テストパターン系列  $T_2$  の故障箇所リスト  $GT_2 = \{G_2, G_3, G_4, G_5\}$  を基準（基準故障箇所リスト）とし、故障箇所リスト  $GT_6$  および  $GT_4$  に含まれない故障箇所（非故障箇所）を基準故障箇所リストから順次削除することによっても推定することができる。はじめに過渡電源電流異常が検出されたテストパターン系列に対する（基準）故障箇所リス

15 ト  $GT_2$  を仮定する。

$$\{G_2, G_3, G_4, G_5\}$$

つぎに、基準故障箇所リスト  $GT_2$  からつぎに生成された故障箇所リスト  $GT_6$

20 に含まれない非故障箇所  $\{G_1, G_5\}$  を削除する。ここで、非故障箇所のリストは故障箇所集合  $GT_6$  の補集合 ( $\sim GT_6$  と示す) であらわされる。したがって、基準故障箇所リストは、 $G_5$  を削除することによって、

$$\{G_2, G_3, G_4\}$$

25

となる。つまり  $GT_2$  中の  $GT_6$  と一致している要素を残したことになる。同様に、基準故障箇所リストから故障箇所リスト  $GT_4$  に含まれない非故障箇所  $\sim G$

T 4 = { G 1 , G 3 , G 4 , G 5 } を削除する。基準故障箇所リストは、

{ G 2 }

5    となり、故障箇所を G 2 と推定することができる。

また、図 1 4 に示す被試験 CMOS 集積回路にテストパターン系列 T 1 0 をあたえたとき過渡電源電流が異常を示し、テストパターン系列 T 6 をあたえたとき過渡電源電流が異常を示さなかったと仮定する。ここでは、T 1 0 を異常テストパターン系列、T 6 を正常テストパターン系列と呼ぶ。故障シミュレーションの結果より、テストパターン系列 T 1 0 , T 6 によって検出可能な故障論理ゲートの集合、すなわち、故障箇所リストは、それぞれ、 $GT 1 0 = \{ G 1 , G 3 , G 4 \}$  ,  $GT 6 = \{ G 2 , G 3 , G 4 \}$  である。ここで、故障箇所リスト GT 6 に含まれる故障箇所を正常箇所と呼ぶ。すなわち、故障論理ゲートは、故障箇所リスト GT 1 0 内の論理ゲートのいずれかであり、故障箇所リスト GT 6 内の論理ゲートのいずれでもない。したがって、推定される故障論理ゲートは、集合 GT 1 0 と集合 GT 6 の補集合の積集合であらわされ、

$$GT 1 0 \cap \sim GT 6 = \{ G 1 , G 3 , G 4 \} \cap \{ G 1 , G 5 \} = \{ G 1 \}$$

( 4 8 )

20

より、故障論理ゲートは G 1 であると推定できる。上記作業は、故障箇所リスト GT 1 0 から故障箇所リスト GT 6 に含まれる正常箇所を削除する作業と等価である。

25    以上により、故障箇所を論理ゲート単位で推定することができる。さらに、本発明の故障解決方法は、論理ゲート単位での故障箇所推定に限定されるものではなく、集積回路内部の信号線に故障を仮定し故障シミュレーションを行なうことにより信号線を単位として故障箇所を推定することもできる。

## 故障リスト生成方法（内部信号線）

図 1 6 に被試験 CMOS 集積回路を示す。被試験集積回路は、3つの入力端子 I 1, I 2, I 3、2つの出力端子 O 1, O 2、5つの論理ゲート G 1, G 2, G 3, G 4, G 5をもち、12の信号線 L 1, L 2, …, L 12をもつ。ここで、信号線には入出力信号線も含むものとし、分岐した信号線はそれぞれ別々の信号線とした。また、出力信号線 L 1 1, L 1 2は出力バッファ G 6, G 7に接続されているものとする。つまり入力端子 I 1は信号線 L 1を通じてインバータ論理ゲート G 1の入力側に接続され、入力端子 I 2, I 3はそれぞれ信号線 L 2, L 3, L 4を通じてNAND論理ゲート G 2の入力側に接続され、論理ゲート G 1, G 2の各出力側は信号線 L 6, L 7を通じてNAND論理ゲート G 3の入力側に接続され、論理ゲート G 3の出力側は信号線 L 8, L 9を通じてインバータ論理ゲート G 4の入力側と、信号線 L 8, L 10を通じてNOR論理ゲート G 5の一方の入力側とに接続され、論理ゲート G 5の他方の入力側に入力端子 I 3が信号線 L 3, L 5を通じて接続され、論理ゲート G 4の出力側は信号線 L 1 1、バッファ G 6を通じて出力端子 O 1に接続され、論理ゲート G 5の出力側は信号線 L 1 2、バッファ G 7を通じて出力端子 O 2に接続される。図に示していないが論理ゲート G 1～G 5および出力バッファ G 6, G 7の各電源端子は共通の電源に接続されている。

上記被試験 CMOS 集積回路に対しておこなった故障シミュレーション結果の一例を図 1 7 に示す。図 1 7 において、第 1 列はテストパターン系列の識別子を示す。図 1 7 の第 2 列は被試験 CMOS 集積回路の入力端子 I 1, I 2, I 3にあたる入力信号を示し、第 3 列は各テストパターン系列をあたえたとき被試験 CMOS 集積回路の信号線 L 1, L 2, …, L 12に生じる信号を示し、第 4 列は各テストパターン系列をあたえたとき被試験 CMOS 集積回路の出力端子 O 1, O 2に生じる信号を示す。ここで、図 1 7 の第 2、第 3、第 4 列における信号“0”, “1”, “R”, “F”は、それぞれ、常時ローレベルの信号<“0”,

“0”>(<>内の第1要素は初期信号値を示し、第2要素は最終信号値を示す)、  
 常時ハイレベルの信号(<“1”, “1”>)、ローレベルからハイレベルへの  
 立ち上がり信号(<“0”, “1”>)、ハイレベルからローレベルへの立ち下  
 がり信号(<“1”, “0”>)を示す。このため、各テストパターン系列は2  
 5 つのテストパターンからなり、例えば、テストパターン系列T1=“00R”は  
 I1I2I3=<“000”, “001”>を意味する。図17の第5列は、各テ  
 ストパターン系列をあたえたとき過渡電源電流をもちいた試験で検出可能な故  
 障信号線の集合、すなわち、故障箇所リストを示す。集積回路内部の信号線が断  
 線故障をもつとき、その故障信号線を入力とする論理ゲートのスイッチング動作  
 10 が遅くなり、これに伴って論理回路の過渡電源電流波形が変化するため、被試験  
 集積回路の過渡電源電流は異常を示す。このため、あるテストパターン系列をあ  
 たえ過渡電源電流に異常が生じるか否かを観測することによって、上記入力テス  
 トパターン系列によりスイッチング動作を生じる信号線に対し、これらの信号線  
 を入力とする論理ゲートがスイッチング動作を生じるとき、これらの論理回路が  
 15 故障しているか否かを判別することができる。

例えば、図16に示した被試験CMOS集積回路にテストパターン系列T6  
 をあたえると図中に各部における信号の0, 1を表示しているように、被試験C  
 MOS集積回路内の信号線L2, L7, L8, L9, L10, L11にスイッ  
 20 ングが生じ、さらに被試験CMOS集積回路内の論理ゲートG2, G3, G4 お  
 よび出力バッファG6にスイッチングが生じる。信号線L10はスイッチングが  
 生じるが信号線L10を入力とする論理ゲートG5はスイッチングが生じない。  
 したがって、信号線L2, L7, L8, L9, L11のいずれかに故障が存在す  
 るとき、テストパターン系列T6をもちいた過渡電源電流試験において過渡電源  
 電流に異常が観測される。すなわち、テストパターン系列T6をもちいた過渡電  
 25 源電流試験により、信号線L2, L7, L8, L9, L11の故障を検出できる。  
 したがって、テストパターン系列T6に対する故障箇所リストは、以上の故障シ  
 ミュレーションによりLT6={L2, L7, L8, L9, L11}と求めるこ

とができる。

#### 故障箇所推定方法（信号線）

つぎに、本発明の故障解析方法における故障箇所推定方法について述べる。例えば、図 16 に示す被試験 CMOS 集積回路にテストパターン系列 T 1, T 2, T 4 をあたえたとき、すべてのテストパターン系列に対して過渡電源電流が異常を示した場合を考える。故障シミュレーションの結果（図 17）より、テストパターン系列 T 1, T 2, T 4 によって検出可能な故障信号線の集合、すなわち、故障箇所リスト（故障検出可能内部信号線）は、それぞれ、 $LT1 = \{L3, L5, L12\}$ ,  $LT2 = \{L3, L4, L5, L7, L8, L9, L10, L11, L12\}$ ,  $LT4 = \{L3, L4\}$  であるので、推定される故障信号線は、集合 LT 1, LT 2, LT 4 の積集合であらわされる。すなわち、

$$LT1 \cap LT2 \cap LT4 = \{L3\} \quad (49)$$

となり、故障信号線は L 3 であると推定できる。

また、この故障信号線 L 3 は、テストパターン系列 T 2 の故障箇所リスト  $LT2 = \{L3, L4, L5, L7, L8, L9, L10, L11, L12\}$  を基準（基準故障箇所リスト）とし、故障箇所リスト LT 1 および LT 4 に含まれない故障箇所（非故障箇所）を基準故障箇所リストから順次削除することによって推定することができる。はじめに、基準故障箇所リスト LT 2 を仮定する。

$$\{L3, L4, L5, L7, L8, L9, L10, L11, L12\}$$

つぎに、基準故障箇所リストから故障箇所リスト LT 1 に含まれない非故障箇所  $\{L1, L2, L4, L6, L7, L8, L9, L10, L11\}$  を削除する。ここで、非故障箇所のリストは故障箇所集合 LT 1 の補集合 ( $\sim LT1$  と示す) であらわされる。したがって、基準故障箇所リストは、L 4, L 7, L 8, L 9, L 10, L 11 を削除することによって、

$$\{L 3, L 5, L 1 2\}$$

となる。同様に、基準故障箇所リストから故障箇所リスト  $L T 4$  に含まれない非  
5 故障箇所  $\sim L T 4 = \{L 1, L 2, L 5, L 6, L 7, L 8, L 9, L 1 0, L 1 1, L 1 2\}$  を削除する。基準故障箇所リストは、

$$\{L 3\}$$

10 となり、故障箇所を  $L 3$  と推定することができる。

また、図 1 6 に示す被試験 CMOS 集積回路にテストパターン系列  $T 1 0$  をあ  
たえたとき過渡電源電流が異常を示し、テストパターン系列  $T 6$  および  $T 1 2$  を  
あたえたときいずれも過渡電源電流が異常を示さなかったと仮定する。ここで、  
 $T 1 0$  を異常テストパターン系列、 $T 6$  および  $T 1 2$  を正常テストパターン系列  
15 と呼ぶ。故障シミュレーションの結果より、テストパターン系列  $T 1 0$ ,  $T 6$ ,  
 $T 1 2$  によって検出可能な故障信号線の集合、すなわち、故障箇所リストは、そ  
れぞれ、 $L T 1 0 = \{L 1, L 6, L 8, L 9, L 1 1\}$ ,  $L T 6 = \{L 2, L 7, L 8, L 9, L 1 1\}$ ,  $L T 1 2 = \{L 1\}$  である。ここで、故障箇所リス  
ト  $L T 6$  および  $L T 1 2$  に含まれる故障箇所を正常箇所と呼ぶ。すなわち、故障  
20 信号線は、集合  $L T 1 0$  内の信号線のいずれかであり、集合  $L T 6$  内の信号線ま  
たは集合  $L T 1 2$  内の信号線のいずれでもない。したがって、推定される故障信  
号線は、集合  $L T 1 0$  と  $L T 6$  の補集合 ( $\sim L T 6 = \{L 1, L 3, L 4, L 5,$   
 $L 6, L 1 0, L 1 2\}$ ),  $L T 1 2$  の補集合 ( $\sim L T 1 2 = \{L 2, L 3, L 4, L 5, L 6, L 7, L 8, L 9, L 1 0, L 1 1, L 1 2\}$ ) の積集合であ  
25 らわされ、

$$L T 1 0 \cap \sim L T 6 \cap \sim L T 1 2 = \{L 6\} \quad (50)$$

より、故障信号線はL 6であると推定できる。上記作業は、故障箇所リストLT 1 0から故障箇所リストLT 6およびLT 1 2に含まれる正常箇所を削除する作業と等価である。

- 5      以上により、故障箇所を信号線単位で推定することができる。さらに、本発明の故障解析方法は、論理ゲートを接続する信号線単位での故障箇所推定に限定されるものではなく、論理ゲート内部の信号線に故障を仮定し故障シミュレーションを行なうことにより論理ゲート内部の信号線に対しても故障箇所を推定することもできる。

10

#### 故障箇所推定（信号伝搬パス）

- さらに信号伝搬パスを単位として故障箇所を推定することもできる。その場合の故障リストの生成を以下に述べる。論理シミュレーションの結果が記憶されている記憶装置の記憶内容から、各テストパターン系列ごとに、各信号伝搬パス上の各部がすべてスイッチングしているか否かを調べ、すべてスイッチングしていれば、そのテストパターン系列と、その信号伝搬パスとを故障リストに登録する。つまり例えば論理ゲート単位の論理シミュレーションでは、図1 4に示した半導体集積回路の場合には、各テストパターン系列に対し、図1 5に示したように各入力端子、各内部ノード、各出力端子が変化する。よって例えば信号伝搬パスが< I 1, N 1, N 3, O 1 >の場合、論理シミュレーションの結果の記憶装置から、テストパターン系列T 9に対し、I 1がR、N 1がF、N 3がR、O 1がFであり、このパス上のすべての各部がスイッチングする。またテストパターン系列T 1 0, T 1 1に対してもI 1がR、N 1がF、N 3がR、O 1がFであり、同様にこのパス上の全ての各部がスイッチングする。よって故障リストに信号伝搬パス< I 1, N 1, N 3, O 1 >に対し、テストパターン系列T 9, T 1 0, T 1 1を登録し、又はテストパターン系列T 9, T 1 0, T 1 1のそれぞれに対し、パス< I 1, N 1, N 3, O 1 >を登録する。同様にして例えば内部信号線

単位の論理シミュレーションでは、図 1 6 に示した半導体集積回路の場合には、各テストパターン系列に対し、図 1 7 に示したように、各入力端子、各内部信号線、各出力端子が変化する。よって例えば信号伝搬パスが< I 3, L 3, L 5, L 1 2, O 2 > の場合、論理シミュレーションの結果の記憶装置から、テストパターン系列 T 1 に対し、I 3 が R、L 3 が R、L 5 が R、L 1 2 が F、O 2 が F であり、このパス上の全ての各部がスイッチングする。またテストパターン系列 T 2 に対しても I 3 が R、L 3 が R、L 5 が R、L 1 2 が F、O 2 が F であり、同様にこのパス上の全ての各部がスイッチングする。よって故障リストに信号伝搬パス< I 3, L 3, L 5, L 1 2, O 2 > に対し、テストパターン系列 T 1, T 2 を登録し、又はテストパターン系列 T 1, T 2 に対してパス< I 3, L 3, L 5, L 1 2, O 2 > をそれぞれ登録する。ここで、故障リストに登録される信号伝搬パスは、被試験回路の入力端子から出力端子まで到達するパスに限定されるものではなく、例えば図 1 6 に示した半導体集積回路の< I 1, N 1 >、または図 1 6 に示した半導体集積回路の< I 1, L 1, L 6 > のように出力端子まで到達しない信号伝搬パスを対象とすることもできる。

このようにして、故障が起こり得る信号伝搬パスの全てについて、故障リストを作る。図 1 4 に示した半導体集積回路について論理ゲートがスイッチングするかの論理シミュレーションを行なった場合の故障リストは図 1 8 に示すようになり、図 1 6 に示した半導体集積回路について内部信号線がスイッチングするかの論理シミュレーションを行なった場合の故障リストは図 1 9 に示すようになる。

この信号伝搬パス単位で故障箇所を推定する方法としては、先に論理ゲート単位、信号線単位での故障箇所の推定と同様の手法をもちいることができる。図 1 4 に示す被試験 CMOS 集積回路にテストパターン系列 T 9、T 1 0 をあたえたとき、両テストパターン系列に対して過渡電源電流が異常を示した場合はテストパターン系列 T 9 の故障箇所リストは< I 1, N 1, N 3, O 1 >, < I 1, N 1, N 3, O 2 > であり、テストパターン系列 T 1 0 の故障箇所リストは< I 1,

N1, N3, O1>である。これら両故障箇所リスト中の共通要素<I1, N1, N3, O1>が故障信号伝搬パスと推定される。

あるいは、テストパターン系列T9の故障箇所リスト（基準故障箇所リスト）<I1, N1, N3, O1>, <I1, N1, N3, O2>から、テストパターン系列T10の故障箇所リスト<I1, N1, N3, O1>に含まれない故障箇所（非故障箇所）<I3, O2>, <I3, N2, N3, O1>, <I3, N2, N3, O2>, <I2, N2, N3, O1>, <I1, N1, N3, O2>を除去し、残った<I1, N1, N3, O1>を故障信号伝搬パスと推定する。

またテストパターン系列T9に対しては過渡電源電流が異常を示したが、テストパターン系列T10に対しては過渡電源電流が異常を示さなかったと仮定する。この場合、異常が生じたテストパターン系列T9の故障箇所リスト<I1, N1, N3, O1>, <I1, N1, N3, O2>から、正常であったテストパターン系列T10の故障箇所リスト<I1, N1, N3, O1>を削除して<I1, N1, N3, O2>を故障信号パスと推定する。

さらに、本発明の故障解析方法はCMOS集積回路に限定されるものではなく、他のタイプの半導体集積回路にも適用することができる。

図20は本発明の一実施形態に係る故障解析装置の構成の一例を示している。この故障解析装置100は、被試験半導体集積回路DUTの入力端子に2つ以上のテストパターンからなるテストパターン系列を入力するテストパターン系列入力器101と、上記テストパターン系列を入力したときに発生する上記被試験半導体集積回路DUTの過渡電源電流を測定し、上記過渡電源電流が異常を示すか否かを決定する過渡電源電流試験器102と、上記被試験半導体集積回路DUTの過渡電源電流が異常を示す複数のテストパターン系列を格納しておく異常パターン系列記憶器103と、上記被試験半導体集積回路DUTの過渡電源電流が異常を示さない複数のテストパターン系列を格納しておく正常パターン系列記憶器104と、上記異常パターン系列記憶器103および上記正常パターン系列記憶器104に格納された各テストパターン系列に対し故障シミュレーション

ンを行ない、上記テストパターン系列とそのテストパターン系列にて検出される故障推定箇所のリストを作成する故障箇所リスト生成器 105 と、上記故障箇所リスト生成器 105 から得られた 1 以上の故障推定箇所リストをもとに上記被試験半導体集積回路 DUT 内部の故障箇所を推定する故障箇所推定器 106 とを具備する。

テストパターン系列入力器 101 は、例えばデジタル・データ発生器でもよいし、集積回路自動試験装置 (ATE) のパターンジェネレータ、あるいはランダムパターン発生器でもよい。

#### 10 過渡電源電流試験 (パルス幅)

図 21 は、本発明の実施例で使用する過渡電源電流試験器 102 の構成の一例を示している。この過渡電源電流試験器 102 a は、被試験半導体集積回路 DUT に電流を供給する電源 201 と、テストパターン系列入力器 101 が出力したテストパターン系列により生じる過渡電源電流波形  $I_{DDT}$  を測定する過渡電源電流波形測定器 202 と、過渡電源電流波形測定器 202 によって測定された電源電流波形  $I_{DDT}$  のパルス幅を測定し、被試験パスの信号伝搬遅延時間を求める遅延時間評価器 203 と、遅延時間評価器 203 から得られた遅延時間を既定の値と比較し、つまり式 (18) の判定を行い、故障の有無を決定する故障検出器 204 と、によって構成されている。

電源 201 は、例えば安定化電源でもよいし、集積回路自動試験装置 (ATE) のプログラム可能なデバイス電源 (programable power supply, PPS) でもよいし、容量の大きなコンデンサでもよい。ただし、電源 201 には電流応答が高速なものが望まれ、電源 201 はデバイス DUT の直近に配置するのが好ましい。過渡電源電流波形測定器 202 は以下に述べるように図 22 に示すように構成することもできるし、図 23 に示すように構成することもできる。

つまり図 22 は本発明の実施例で使用する過渡電源電流波形測定器 202 の構成の一例を示している。この過渡電源電流波形測定器 202 a は、被試験回

- 路DUTの電源端子と電源201の間に流れる電流波形を検出して電圧波形に変換する電流センサ301と、電流センサ301により変換された電圧波形を測定する波形測定器302と、によって構成されている。電流センサ301は、電源201とDUT間に接続された電源ラインのまわりの磁界の変化を利用して
- 5 過渡電源電流波形を電圧波形に変換する誘導型電流センサでもよいし、電源ラインに、抵抗値の小さな抵抗素子を直列に挿入し、抵抗素子に流れる過渡電源電流波形をオームの法則に従って抵抗素子の両端の電圧変化に変換する、抵抗型電流センサでもよい。ただし、過渡電源電流波形に電源ラインのインダクタンス成分によるリンギングが生じないように、電流センサ301は小型のものが望ましい。
- 10 波形測定器302は、例えばオシロスコープでもよいし、集積回路自動試験装置(ATE)のデジタイザであってもよい。

- 図23は本発明の実施例で使用する過渡電源電流波形測定器202の構成の他の例を示している。この過渡電源電流波形測定器202bは、電源ラインに直列に挿入されたスイッチ401と、スイッチ401と被試験回路DUTの接続
- 15 点及び接地間に接続され、被試験回路DUTに電流を供給するコンデンサ402と、コンデンサ402の被試験回路DUT側の端子の電圧変化 $v(t)$ を測定する波形測定器403と、波形測定器403によって測定された電圧波形 $v(t)$ を時間微分する波形微分器404と、によって構成されている。被試験回路DUTが過渡状態のときコンデンサ402から被試験回路DUTに流れ込む電流、すなわち過渡電源電流 $I_{DDT}$ は、コンデンサ402の容量を $C$ とし、コンデンサ402の被試験回路DUT側の端子の電圧を $v(t)$ とすると、
- 20

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad (51)$$

- 25 とあらわされる。したがって、コンデンサ402の電圧波形 $v(t)$ を時間微分

することにより、被試験回路DUTを流れる過渡電源電流波形を求めることができる。ここで、スイッチ401は、電源ラインの容量成分やインダクタンス成分を切り離し、被試験回路DUTに流れ込むすべての電流をコンデンサ402から供給するためにもちいられる。波形測定器403は、例えばオシロスコープでも  
5 よいし、集積回路自動試験装置（ATE）のデジタイザでもよい。波形微分器404は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

遅延時間評価器203及び故障検出器204はハードウェアで構成してもよいし、ソフトウェアで構成してもよい。

- 10 つぎに、この過渡電源電流試験器102aを使用して半導体集積回路の試験を行なう場合の動作を説明する。図24は本発明の過渡電源電流試験方法の処理手順を示している。テストパターン系列入力器101は、ステップ501において、被試験回路DUTを活性化するテストパターン系列を入力する。ステップ502において、過渡電源電流波形測定器202が、電源から被試験回路DUTの電源  
15 ピンに流れ込む電源電流の過渡応答波形 $I_{DDT}$ を測定する。つぎに、ステップ503において、遅延時間評価器203が、被試験パスの遅延時間を求めるために、過渡電源電流波形測定器202によって測定された過渡電源電流波形 $I_{DDT}$ のパルス幅 $t_{PW}$ を測定する。最後に、ステップ504において、故障検出器204が、遅延時間評価器203によって求められた過渡電源電流波形 $I_{DDT}$ のパルス  
20 幅 $t_{PW}$ を既定の値 $T'$ と比較し、比較の結果が故障の検出条件 $t_{PW} > T'$ を満たした場合、ステップ505において“故障あり”と判断し、比較の結果が故障の検出条件を満たさない $t_{PW} < T'$ の場合、ステップ506において“故障なし”と判断して、処理を終了する。

- ここで、電源201は、半導体集積回路試験の処理中、すなわち、ステップ  
25 501、502、503、504、505、506のすべてにわたり、被試験回路DUTに指定された電圧、例えば、3.3Vを常に供給している。また、テストパターン系列を入力するステップ501と、過渡電源電流波形を測定するステッ

プ 5 0 2 は、ほぼ同時に行なわれる。さらに、過渡電源電流波形を測定するステップ 5 0 2 において、単一測定によって測定することもできるし、測定を複数回繰り返すこともできる。単一測定の場合は、テストパターン系列は一度だけ入力され、繰り返し測定の場合は、テストパターン系列は複数回繰り返して入力される。その際、テストパターン系列を入力するごとに初期状態とし、つまり、コンデンサ 4 0 2 をもちいる場合は、その都度コンデンサ 4 0 2 に充電を行う。

#### 過渡電源電流試験（瞬時値）

図 2 5 は、本発明の実施例で使用される過渡電源電流試験器 1 0 2 の構成の他の例を示している。この過渡電源電流試験器 1 0 2 b は、被試験半導体集積回路 DUT に電流を供給する電源 2 0 1 と、テストパターン系列入力器 1 0 1 が出力したテストパターン系列により生じる過渡電源電流のある既定の時刻  $\tau$  における瞬時値  $i_{DDT}(\tau)$  を測定する過渡電源電流瞬時値測定器 6 0 2 と、過渡電源電流瞬時値測定器 6 0 2 によって測定された過渡電源電流値  $i_{DDT}(\tau)$  を既定の電流値  $I'$  と比較し、遅延故障の有無を決定する故障検出器 6 0 3 と、によって構成されている。電源 2 0 1 は、図 2 1 でもちいた場合と同様のものをもちいる。過渡電源電流瞬時値測定器 6 0 2 は、図 2 6 に示すように構成することもできるし、図 2 7 に示すように、構成することもできる。故障検出器 6 0 3 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

図 2 6 は本発明の実施例で使用される過渡電源電流瞬時値測定器 6 0 2 の構成の一例を示している。この過渡電源電流瞬時値測定器 6 0 2 a は、図 2 2 に示した過渡電源電流波形測定器 2 0 2 中の波形測定器 3 0 2 の代りに電流センサ 3 0 1 により変換された電圧値を測定する測定器 7 0 2 がもちいられて構成されている。測定器 7 0 2 は、例えばデジタル・マルチメータでもよいし、オシロスコープでもよいし、集積回路自動試験装置（ATE）のデジタイザでもよい。

図 2 7 は本発明の実施例で使用される過渡電源電流瞬時値測定器 6 0 2 の構成の他の例を示している。この過渡電源電流瞬時値測定器 6 0 2 b は、図 2 3 に

示した過渡電源電流波形測定器 2 0 2 b 中の波形測定器 4 0 3 と波形微分器 4 0 4 の代りに、コンデンサ 4 0 2 の被試験回路 D U T 側の端子の電圧波形  $v(t)$  の瞬時微分値を測定する微分測定器 8 0 3 をもちいて構成されている。被試験回路 D U T が過渡状態のときコンデンサ 4 0 2 から被試験回路 D U T に流れ込む  
5 電流、即ち過渡電源電流  $I_{DDT}$  は、式 (5 1) と同様に

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad (5 2)$$

とあらわされる。したがって、コンデンサ 4 0 2 の電圧波形  $v(t)$  のある時刻  
10  $\tau$  における時間微分値を測定することにより、被試験回路 D U T を流れる過渡電源電流の瞬時値  $i_{DDT}(\tau)$  を求めることができる。ここで、電圧波形  $v(t)$  の時刻  $\tau$  における瞬時微分値を求めるには、次式 (5 3) に示すように、時刻  $\tau$  の近傍で極短い時間間隔  $\Delta t$  で  $v(t)$  の瞬時値を測定し、測定値の差を時間間隔  $\Delta t$  で割ることにより求めることができる。より正確な瞬時微分値を得るため  
15 には、 $\Delta t$  は可能な限り小さい方が望ましい。

$$\left. \frac{dv(t)}{dt} \right|_{t=\tau} = \frac{v(\tau + \Delta t) - v(\tau)}{\Delta t} \quad (5 3)$$

また、スイッチ 4 0 1 は、電源ラインの容量成分やインダクタンス成分を切り離  
20 し、被試験回路 D U T に流れ込むすべての電流をコンデンサ 4 0 2 から供給するためにもちいられる。微分測定器 8 0 3 は、例えばデジタル・マルチメータでもよく、オシロスコープでもよく、集積回路自動試験装置 (A T E) のデジタイザでもよい。

つぎに、この過渡電源電流試験器 1 0 2 b を使用して半導体集積回路の試験を  
25 行なう場合の動作を説明する。図 2 8 は本発明の過渡電源電流試験方法の処理手

- 順を示している。テストパターン系列入力器 101 は、ステップ 901 において、被試験パスを活性化するテストパターン系列を入力する。つぎに、ステップ 902 において、過渡電源電流瞬時値測定器 602 が、電源から被試験回路の電源ピンに流れ込む過渡電源電流のある既定の時刻  $\tau$  における瞬時値  $i_{DDT}(\tau)$  を測定する。ここで  $\tau$  は、先に述べたように例えば、入力遷移の時刻  $\tau_0$  と許容される遅延時間の最大値  $T'$  から  $\tau = T' + \tau_0$  と求めることができる。最後に、ステップ 903 において、故障検出器 603 が、過渡電源電流瞬時値測定器 602 によって求められた過渡電源電流の瞬時値  $i_{DDT}(\tau)$  を既定の値、例えば、故障のない回路において最後にスイッチングする論理ゲート  $G_{final}$  の出力遷移時刻  $\tau_{max}$  における電源電流の典型値  $I'$  ( $= i_{DDT}(\tau_{max})$ ) と比較し、比較の結果が故障の検出条件  $i_{DDT}(\tau) > I'$  を満たした場合、ステップ 904 において“故障あり”と判断し、比較の結果が故障の検出条件を満たさない  $i_{DDT}(\tau) < I'$  の場合、ステップ 905 において“故障なし”と判断して、処理を終了する。
- ここで、電源 201 は、遅延故障試験の処理中、即ち、ステップ 901, 902, 903, 904, 905 のすべてにわたり、被試験回路 DUT に指定された電圧、例えば、3.3V を常に供給している。また、テストパターン系列を入力するステップ 901 と、過渡電源電流の瞬時値を測定するステップ 902 は、ほぼ同時に行なわれる。さらに、過渡電源電流の瞬時値を測定するステップ 902 において、単一測定によって測定することもできるし、測定精度を向上させるために、測定を複数回繰り返し、平均値を測定することもできる。単一測定の場合は、テストパターン系列は一度だけ入力され、繰り返し測定の場合は、テストパターン系列は複数回繰り返し入力される。

## 25 過渡電源電流試験（積分値）

図 29 は本発明の実施例で使用する過渡電源電流試験器 102 の構成の他の例を示している。この過渡電源電流試験器 102 c は、被試験回路 DUT に電

流を供給する電源 201 と、テストパターン系列入力器 101 が出力したテストパターン系列により生じる過渡電源電流のある既定の時間間隔における積分値  $Q_{DDT}$  を測定する過渡電源電流積分値測定器 1002 と、過渡電源電流積分値測定器 1002 によって測定された過渡電源電流値  $Q_{DDT}$  を既定値と比較し、故障  
 5 の有無を決定する故障検出器 1003 と、によって構成されている。電源 201 は、図 21 の例で使用したものと同様のものである。過渡電源電流積分値測定器 1002 は、図 30 に示すように、電流センサ 301 と、波形測定器 302 と、電流積分器 1103 と、で構成することもできるし、図 31 に示すように、スイッチ 401 と、コンデンサ 402 と、測定器 1203 と、で構成することもでき  
 10 る。故障検出器 1003 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

図 30 は本発明の実施例で使用される過渡電源電流積分値測定器 1002 の構成の一例を示している。この過渡電源電流積分値測定器 1002 a は、図 22 に示した場合と同様に電流センサ 301 により変換された電圧波形が波形測定  
 15 器 302 により測定され、この例では波形測定器 1102 によって測定された電流波形のある既定の時間における積分値が電流積分器 1103 によって算出される。電流積分器 1103 は、ハードウェアで構成してもよいし、ソフトウェアで構成してもよい。

図 31 は本発明の実施例で使用される過渡電源電流積分値測定器 1002 の構成の他の例を示している。この過渡電源電流積分値測定器 1002 b は、図 2  
 20 3 に示した場合と同様に被試験回路 DUT が過渡状態のときコンデンサ 402 から被試験回路 DUT に流れ込む電流、即ち過渡電源電流  $I_{DDT}$  は、

$$I_{DDT} = -C \frac{dv(t)}{dt} \quad (54)$$

とあらわされる。従って、過渡電源電流の積分値  $Q_{DDT}$  は、

$$\begin{aligned} Q_{DDT} &= \int_{-\infty}^{\infty} I_{DDT} dt \\ &= -C \int_{-\infty}^{\infty} \frac{dv(t)}{dt} dt = -C[v(t)]_{-\infty}^{\infty} = C[v(-\infty) - v(\infty)] \end{aligned} \quad (55)$$

- 5 となる。ここで、 $v(-\infty)$  および  $v(\infty)$  は、それぞれコンデンサ 402 の電圧の初期値と最終値を示す。即ち、ある規定の時間におけるコンデンサ 402 の電圧の初期値と最終値を測定し、その差を算出することにより、被試験回路 DUT を流れる過渡電源電流の積分値  $Q_{DDT}$  を求めることができる。ここで、コンデンサ 402 の電圧の初期値  $v(-\infty)$  は被試験パスの入力信号線に信号遷移が生
- 10 じる直前に測定し、コンデンサ 402 の電圧の最終値  $v(\infty)$  は被試験パス上のすべての論理ゲートがスイッチングし、電源電流が静止電源電流 ( $I_{DDQ}$ ) 値となった直後に測定することが望ましい。ただし、電源電流が  $I_{DDQ}$  値となる時刻を特定することは困難であるため、コンデンサ 402 の電圧の最終値  $v(\infty)$  はテストパターン系列を入力してから十分な時間が経過した時刻に測定してもよい。
- 15 い。これら電圧  $v(-\infty)$ 、 $v(\infty)$  を測定する測定器 1203 は、デジタル・マルチメータでもよく、オシロスコープでもよく、集積回路自動試験装置 (ATE) のデジタイザでもよい。

- つぎに、この過渡電源電流試験器 102c を使用して半導体集積回路の試験を行なう場合の動作を説明する。図 32 は本発明の過渡電源電流試験方法の処理手順を示している。テストパターン系列入力器 101 は、ステップ 1301 において、被試験パスを活性化するテストパターン系列を入力する。つぎに、ステップ 1302 において、過渡電源電流積分値測定器 1002 が、電源から被試験回路 DUT の電源ピンに流れ込む過渡電源電流のある既定の時間  $T$  における積分値  $Q_{DDT}$  を測定する。ここで  $T$  は、例えば、入力遷移の直前の時刻  $t(-\infty)$  から
- 20

被試験回路が十分安定する時刻  $\tau$  ( $\infty$ ) までとする。最後に、ステップ 1303  
において、故障検出器 1003 が、過渡電源電流積分値測定器 1002 によって  
求められた過渡電源電流の積分値  $Q_{DDT}$  を式 (39) に示すように既定の値 ( $Q_{DDT,typ} + \Delta Q$ ) と比較し、比較の結果が故障の検出条件  $Q_{DDT} > Q_{DDT,typ} + \Delta Q$  を満  
5 たした場合、ステップ 1304 において“故障あり”と判断し、比較の結果が故  
障の検出条件を満たさない  $Q_{DDT} < Q_{DDT,typ} + \Delta Q$  の場合、ステップ 1305 にお  
いて“故障なし”と判断して、処理を終了する。ここで、電源 201 は、半導体  
集積回路試験の処理中、即ち、ステップ 1301、1302、1303、130  
4、1305 のすべてにわたり、被試験回路に指定された電圧、例えば、3.3  
10 V を常に供給している。また、テストパターン系列を入力するステップ 1301  
と、過渡電源電流の積分値を測定するステップ 1302 は、ほぼ同時に行なわれ  
る。さらに、過渡電源電流の積分値を測定するステップ 1302 において、単一  
測定によって測定することもできるし、測定精度を向上させるために、測定を複  
数回繰り返し、平均値を測定することもできる。単一測定の場合は、テストパタ  
15 ーン系列は一度だけ入力され、繰り返し測定の場合は、テストパターン系列は複  
数回繰り返し入力される。

過渡電源電流積分値測定器 1002 において、所定時間  $T'$  の間過渡電源電流  
を積分し、その積分値  $Q_{DDT}$  が所定値  $Q_{max}$  を超えるか否か、つまり式 (46)  
により故障の有無の判定を行うようにしてもよい。

20

## 故障解析

つぎに、図 20 に示した故障解析装置 100 を使用して半導体集積回路の故障解  
析を行なう場合の動作を説明する。図 33 は本発明の故障解析方法を処理手順を  
示している。テストパターン系列入力器 101 は、ステップ 1401 において、  
25 あらかじめ用意されたテストパターン系列群からテストパターン系列を 1 つ取  
得し、被試験回路 DUT に入力する。被試験回路 DUT に入力されたテストパ  
ターン系列は、同時に過渡電源電流試験器 102 にも転送される。つぎに、ステッ

5      プ 1 4 0 2 において、過渡電源電流試験器 1 0 2 が、電源から被試験回路 D U T の電源ピンに流れ込む過渡電源電流を測定し、被試験回路 D U T を試験する。つぎに、過渡電源電流試験器 1 0 2 は、ステップ 1 4 0 3 において、過渡電源電流試験の結果を解析し、過渡電源電流に異常が観測されたならば、ステップ 1 4 0 4 において、試験にもちいたテストパターン系列を異常パターン系列記憶器 1 0 3 に格納し、過渡電源電流に異常が観測されなかったならば、ステップ 1 4 0 5 において、試験にもちいたテストパターン系列を正常パターン系列記憶器 1 0 4 に格納する。つぎに、故障解析装置 1 0 0 は、ステップ 1 4 0 6 において、上記テストパターン系列群に処理されていないテストパターン系列が存在するか否  
10      かを確認し、処理されていないテストパターン系列が存在するならば、上記ステップ 1 4 0 1, 1 4 0 2, 1 4 0 3, 1 4 0 4, 1 4 0 5 を繰り返し、処理されていないテストパターン系列が存在しないならば、ステップ 1 4 0 7 に移行する。

つぎに、ステップ 1 4 0 7 において、故障箇所リスト生成器 1 0 5 が、異常パターン系列記憶器 1 0 3 および正常パターン系列記憶器 1 0 4 に格納されたテ  
15      ストパターン系列に対し故障シミュレーションを行って故障検出可能箇所のリスト（故障箇所リスト）を生成する。つまりそのテストパターン系列を異常のない被試験回路に入力した時に、その被試験回路の内部で信号の論理値が変化する箇所がどこかを論理シミュレーションを行い、その論理値が変化する箇所から故障検出可能箇所を求める。つぎに、故障箇所推定器 1 0 6 が、ステップ 1 4 0 8  
20      において、故障箇所リスト生成器 1 0 5 により生成された故障箇所リストをもとに、先に図 1 4 乃至図 1 9 を参照して述べた手法により故障箇所の推定を行なう。つぎに、ステップ 1 4 0 9 において、故障箇所の推定結果が十分であるか否かを確認する。被試験回路 D U T が複雑な場合は故障箇所を単一の箇所まで絞り込むことが困難である場合がある。その場合、推定故障箇所の数が例えば 1 0 箇所であ  
25      れば、これらを例えば電子ビームテストで比較的簡単（短時間）に検査できるため、故障箇所の推定結果が十分であるといえる。つまり、ステップ 1 4 0 9 においては、推定故障箇所の数がある所定の数まで絞り込んだか否かを確認し、故障

箇所推定結果が十分でなければ、ステップ1410に移行し、故障箇所推定結果が十分であれば、処理を終了する。故障箇所推定結果が十分でないとき、故障解析装置100は、ステップ1410において、上記異常パターン系列記憶器103および上記正常パターン系列記憶器104に処理されていないテストパターン系列が存在するか否かを確認し、処理されていないテストパターン系列が存在するならば、ステップ1407、1408を繰り返し、処理されていないテストパターン系列が存在しないならば、処理を終了する。ここで、ステップ1402の過渡電源電流試験に、図24、図28、図32のいずれか1つの方法をもちいることができる。

- 10 図34は本発明の故障解析方法の別の処理手順を示している。テストパターン系列入力器101は、ステップ1501において、あらかじめ用意されたテストパターン系列群からテストパターン系列を1つ取得し、被試験回路DUTに入力する。被試験回路DUTに入力されたテストパターン系列は、同時に過渡電源電流試験器102にも転送される。つぎに、ステップ1502において、過渡電源電流試験器102が、電源から被試験回路DUTの電源ピンに流れ込む過渡電源電流を測定し、被試験回路DUTを試験する。つぎに、過渡電源電流試験器102は、ステップ1503において、過渡電源電流試験の結果を解析し、過渡電源電流に異常が観測されたならば、ステップ1504において、試験にもちいたテストパターン系列を異常パターン系列記憶器103に格納し、過渡電源電流に異常が観測されなかったならば、ステップ1505において、試験にもちいたテストパターン系列を正常パターン系列記憶器104に格納する。

- 20 つぎに、ステップ1506において、故障箇所リスト生成器105が、上記過渡電源電流試験でもちいられた異常パターン系列記憶器103または正常パターン系列記憶器104に格納されたテストパターン系列に対し故障箇所リストを生成する。つぎに、故障箇所推定器106が、ステップ1507において、故障箇所リスト生成器により生成された故障箇所リストをもとに故障箇所の推定を行なう。つぎに、ステップ1508において、故障箇所の推定結果が十分であ

るか否かを確認し、故障箇所推定結果が十分でなければ、ステップ1509に移  
行し、故障箇所推定結果が十分であれば、処理を終了する。故障箇所推定結果が  
十分でないとき、故障解析装置100は、ステップ1509において、上記テスト  
パターン系列群に処理されていないテストパターン系列が存在するか否かを  
5 確認し、処理されていないテストパターン系列が存在するならば、上記ステップ  
1501、1502、1503、1504、1505、1506、1507、1  
508を繰り返し、処理されていないテストパターン系列が存在しないならば、  
処理を終了する。ここで、ステップ1502の過渡電源電流試験に、図24、図  
28、図32のいずれか1つの方法を用いることができる。この図34に示した  
10 故障解析方法におけるステップ1507での故障箇所の推定は、先に述べた最初  
の異常に基づく基準故障箇所リストから、その後に生じた異常に基づく故障リス  
トにない要素を除去してゆく方法が適する。

#### 故障箇所推定

15 図35は本発明の実施例で使用する故障箇所推定器106の構成の一例を  
示している。この故障箇所推定器106aは、異常パターン系列記憶器103に  
格納された過渡電源電流が異常を示す複数の異常テストパターン系列に対して、  
故障箇所リスト生成器105で生成された複数の故障箇所リストを格納する故  
障箇所リスト記憶器1601と、故障箇所リスト記憶器1601に格納された複  
20 数の故障箇所リストに共通に含まれる故障箇所を推定する共通故障箇所推定器  
1602と、によって構成されている。故障箇所リスト記憶器1601は、ハー  
ドディスクやメモリのような物理的記憶媒体でもよいし、メモリ上に構築された  
仮想的記憶器でもよい。共通故障箇所推定器1602は、ハードウェアで構成し  
てもよいし、ソフトウェアで構成することもできる。この図35の例では正常パ  
25 ターン系列記憶器104を省略できる。

つぎに、上記故障箇所推定器106aを使用して故障箇所の推定を行なう場合  
の動作を説明する。図36は本発明の故障箇所推定方法の処理手順を示している。

はじめに、ステップ 1701 において、故障箇所リスト生成器 105 が、異常パターン系列記憶器 103 に格納された異常テストパターン系列を 1 つ取得する。つぎに、ステップ 1702 において、故障箇所リスト生成器 105 が、ステップ 1701 で取得した異常テストパターン系列に対し故障シミュレーションを行  
5 ない、故障箇所リストを生成する。つぎに、ステップ 1703 において、故障箇所リスト生成器 105 によって生成された故障箇所リストを故障箇所リスト記憶器 1601 に転送し、格納する。つぎに、ステップ 1704 において、上記異常パターン系列記憶器 103 に処理されていない異常テストパターン系列が存在するか否かを確認し、処理されていない異常テストパターン系列が存在するな  
10 らば、ステップ 1701, 1702, 1703 を繰り返し、処理されていない異常テストパターン系列が存在しないならば、ステップ 1705 に移行する。最後に、ステップ 1705 において、共通故障箇所推定器 1602 が、上記故障箇所リスト記憶器 1601 に格納されたすべての故障リストに共通の故障箇所を推定し、処理を終了する。ここで、この故障箇所推定方法によって、図 33 のステップ 1407, 1408 および図 34 のステップ 1506, 1507 を置き換えてもよい。

図 37 は本発明の実施例で使用する故障箇所推定器 106 の構成の他の例を示している。この故障箇所推定器 106 b は、異常パターン系列記憶器 103 に格納された最初に過渡電源電流が異常を示した異常テストパターン系列に対して、故障箇所リスト生成器 105 で生成された基準故障箇所リストを格納する  
20 基準故障箇所リスト記憶器 1801 と、上記異常パターン系列記憶器 103 に格納された基準故障箇所リスト生成にもちいられたテストパターン系列以外の複数の異常テストパターン系列に対して、故障箇所リスト生成器 105 で生成された故障箇所リストをもちいて、基準故障箇所リスト記憶器 1801 に格納された  
25 基準故障箇所リストから上記故障箇所リストに含まれる故障箇所以外の故障箇所（非故障箇所）を削除する非故障箇所削除器 1802 と、によって構成されている。基準故障箇所リスト記憶器 1801 は、ハードディスクやメモリのような

物理的記憶媒体でもよいし、メモリ上に構築された仮想的記憶器でもよい。非故障箇所削除器 1802 は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。この図 37 の例では正常パターン系列記憶器 104 を省略できる。

- 5 つぎに、上記故障箇所推定器 106b を使用して故障箇所の推定を行なう場合の動作を説明する。図 38 は本発明における故障箇所推定方法の処理手順を示している。はじめに、ステップ 1901 において、故障箇所リスト生成器 105 が、異常パターン系列記憶器 103 に格納された最初に過渡電源電流が異常を示した異常テストパターン系列を取得する。つぎに、ステップ 1902 において、故障箇所リスト生成器 105 が、ステップ 1901 で取得した異常テストパターン系列に対し故障シミュレーションを行ない、基準故障箇所リストを生成する。つぎに、ステップ 1903 において、故障箇所リスト生成器 105 によって生成された故障箇所リストを基準故障箇所リスト記憶器 1801 に転送し、格納する。つぎに、ステップ 1904 において、異常パターン系列記憶器 103 から上記基準故障箇所リストの生成にもちいられた異常テストパターン系列以外の異常テストパターン系列を 1 つ取得する。

- つぎに、ステップ 1905 において、故障箇所リスト生成器 105 が、ステップ 1904 で取得した異常テストパターン系列に対して故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ 1906 において、非故障箇所削除器 1802 が、故障箇所リスト生成器 105 によって生成された故障箇所リストをもとに、基準故障箇所リストから、ステップ 1905 で生成された故障箇所リストに含まれる故障箇所以外の故障箇所(非故障箇所)を削除する。最後に、ステップ 1907 において、上記異常パターン系列記憶器 103 に処理されていない異常テストパターン系列が存在するか否かを確認し、処理されていない異常テストパターン系列が存在するならば、ステップ 1904, 1905, 1906 を繰り返す。処理されていない異常テストパターン系列が存在しないならば、処理を終了する。ここで、この故障箇所推定方法によって、図 33 のステ

ップ1407, 1408および図34のステップ1506, 1507を置き換えてもよい。ただし、ステップ1904において取得すべき異常テストパターン系列が存在しないとき、この故障箇所推定方法は直ちに処理を終了する。

図39は本発明の実施例で使用する故障箇所推定器106の構成の他の例を示している。この故障箇所推定器106cは、異常パターン系列記憶器103に格納された過渡電源電流が異常を示す複数のテストパターン系列に対して、故障箇所リスト生成器105で生成された複数の故障箇所リストを格納する異常故障箇所リスト記憶器2001と、正常パターン系列記憶器104に格納された過渡電源電流が異常を示さない複数のテストパターン系列に対して、故障箇所リスト生成器105で生成された複数の故障箇所リストを格納する正常故障箇所リスト記憶器2002と、上記異常故障箇所リスト記憶器2001に格納されたすべての故障箇所リストに共通に含まれる故障箇所を求めることにより故障箇所候補を推定する共通故障箇所推定器2003と、共通故障箇所推定器2003によって生成された故障箇所候補リストを格納する故障箇所候補リスト記憶器2004と、正常故障箇所リスト記憶器2002に格納された複数の故障箇所リストに含まれる故障箇所（正常箇所）を上記故障箇所候補リストから順次削除していく正常箇所削除器2005と、によって構成されている。異常故障箇所リスト記憶器2001および正常故障箇所リスト記憶器2002および故障箇所候補リスト記憶器2004は、ハードディスクやメモリのような物理的記憶媒体でもよいし、メモリ上に構築された仮想的記憶器でもよい。共通故障箇所推定器2003および正常箇所削除器2005は、ハードウェアで構成してもよいし、ソフトウェアで構成することもできる。

つぎに、上記故障箇所推定器106cを使用して故障箇所の推定を行なう場合の動作を説明する。図40は本発明における故障箇所推定方法の処理手順を示している。はじめに、ステップ2101において、故障箇所リスト生成器105が、異常パターン系列記憶器103に格納された異常テストパターン系列を1つ取得する。つぎに、ステップ2102において、故障箇所リスト生成器105が、

ステップ 2 1 0 1 で取得した異常テストパターン系列に対し故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ 2 1 0 3 において、故障箇所リスト生成器 1 0 5 によって生成された故障箇所リストを異常故障箇所リスト記憶器 2 0 0 1 に転送し、格納する。つぎに、ステップ 2 1 0 4 において、上記異常パターン系列記憶器 1 0 3 に処理されていない異常テストパターン系列が存在するか否かを確認し、処理されていない異常テストパターン系列が存在するならば、ステップ 2 1 0 1, 2 1 0 2, 2 1 0 3 を繰り返し、処理されていない異常テストパターン系列が存在しないならば、ステップ 2 1 0 5 に移行する。つぎに、ステップ 2 1 0 5 において、共通故障箇所推定器 2 0 0 3 が、上記異常故障箇所リスト記憶器 2 0 0 1 に格納されたすべての故障リストに共通の故障箇所を推定し、故障箇所候補リストを作成する。つぎに、共通故障箇所推定器 2 0 0 3 は、ステップ 2 1 0 6 において、故障箇所候補リストを故障箇所候補リスト記憶器 2 0 0 4 に転送し、格納する。

つぎに、ステップ 2 1 0 7 において、故障箇所リスト生成器 1 0 5 が、正常パターン系列記憶器 1 0 4 から正常テストパターン系列を 1 つ取得する。つぎに、ステップ 2 1 0 8 において、故障箇所リスト生成器 1 0 5 が、ステップ 2 1 0 7 で取得した正常テストパターン系列に対して故障シミュレーションを行ない、故障箇所リストを生成する。つぎに、ステップ 2 1 0 9 において、正常箇所削除器 2 0 0 5 が、ステップ 2 1 0 8 において故障箇所リスト生成器 1 0 5 によって生成された故障箇所リストに含まれる故障箇所（正常箇所）を故障箇所候補リストから削除する。最後に、ステップ 2 1 1 0 において、上記正常パターン系列記憶器 1 0 4 に処理されていない正常テストパターン系列が存在するか否かを確認し、処理されていない正常テストパターン系列が存在するならば、ステップ 2 1 0 7, 2 1 0 8, 2 1 0 9 を繰り返し、処理されていない正常テストパターン系列が存在しないならば、処理を終了する。ここで、この故障箇所推定方法によって、図 3 2 のステップ 1 4 0 7, 1 4 0 8 および図 3 4 のステップ 1 5 0 6, 1 5 0 7 を置き換えてもよい。ただし、ステップ 2 1 0 1 で異常パターン系列が存

在しないときやステップ 2 1 0 7 において取得すべき正常テストパターン系列が存在しないとき、この故障箇所推定方法は直ちに処理を終了する。

5 上述では故障箇所リストを故障シミュレーションによりその都度求めたが、予め各種のテストパターン系列に対して故障シミュレーションを行い、そのテストパターン系列と故障箇所リストの対応テーブルを作っておき、そのテーブルを参照して故障箇所リストを求めてもよい。故障解析装置 1 0 0 をコンピュータによりプログラムを実行させて機能させてもよい。

10 本発明の故障解析方法および故障解析装置は、故障シミュレーションにおいて故障箇所を論理ゲート単位で指定することにより、論理ゲート単位で故障箇所を推定することができる。また、故障シミュレーションにおいて故障箇所を信号線単位で指定することにより、信号線単位で故障箇所を推定することもできる。あるいは故障シミュレーションにおいて故障箇所を信号伝搬パス単位で指定することにより信号伝搬パス単位で故障箇所を推定することができる。さらに、本発明の故障解析方法および故障解析装置は、遅延故障や断線故障に限定されるもの  
15 ではなく、過渡電源電流の故障検出条件や故障シミュレーションの故障モデルを適宜変更することにより、論理故障（縮退故障）や短絡故障、および、MOS トランジスタのパラメータ不良などの故障箇所も推定することができる。

以上述べたように本発明によれば、可観測性が高く論理ゲートのスイッチング情報をもつ過渡電源電流試験法をもちいることにより、従来困難であった遅延故障  
20 あるいは遅延故障を生じる断線故障の故障箇所の推定ができるため、故障解析の信頼性を大幅に改善できる。

以上発明の実施の形態を説明したが、本出願に係る発明の技術的範囲は上記の実施の形態に限定されるものではない。上記実施の形態に種々の変更を加えて、請求の範囲に記載の発明を実施することができる。そのような発明が本出願に係  
25 る発明の技術的範囲に属することもまた、請求の範囲の記載から明らかである。

### 産業上の利用可能性

以上の説明から明らかなように、本発明によれば故障解析の信頼性を大幅に改善できる。

## 請 求 の 範 囲

1. 半導体集積回路における故障箇所を推定する故障解析方法であって、  
前記半導体集積回路に電源電圧を印加するステップと、
- 5 前記半導体集積回路に複数のテストパターンを有するテストパターン系列を  
供給するステップと、  
前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて  
電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて  
格納するステップと、
- 10 前記テストパターンの変化に応じて前記半導体集積回路において発生する過  
渡電源電流を測定し、前記過渡電源電流が異常を示すか否かを判断するステップ  
と、  
前記過渡電源電流が異常を示したテストパターン系列、及び当該テストパター  
ン系列と対応づけて格納された前記解析箇所に基づいて、当該解析箇所における
- 15 故障箇所を推定するステップと  
を備えたことを特徴とする故障解析方法。
2. 前記過渡電源電流が異常を示すか否かを判断するステップは、前記過渡電  
源電流のパルス幅が、所定の値を超えたときに当該過渡電源電流が異常を示すと  
判断することを特徴とする請求項 1 記載の故障解析方法。
- 20 3. 前記過渡電源電流が異常を示すか否かを判断するステップは、所定の時間  
における前記過渡電源電流の瞬時値が、所定の値を超えたときに当該過渡電源電  
流が異常を示すと判断することを特徴とする請求項 1 記載の故障解析方法。
4. 前記過渡電源電流が異常を示すか否かを判断するステップは、前記過渡電  
源電流の時間積分値が所定の値を超えたときに当該過渡電源電流が異常を示す
- 25 と判断することを特徴とする請求項 1 記載の故障解析方法。
5. 前記所定の値をシミュレーションで算出するステップを更に備えたことを  
特徴とする請求項 2 から 4 のいずれか記載の故障解析方法。

6. 前記故障箇所を推定するステップは、前記複数のテストパターン系列のうち、2以上のテストパターン系列において前記過渡電源電流が異常を示した場合に、異常を示した前記テストパターン系列の全てに対応づけて格納された前記解析箇所を、前記故障箇所と推定することを特徴とする請求項1記載の故障解析方法。

7. 前記故障箇所を推定するステップは、

前記複数のテストパターン系列のうち、2以上のテストパターン系列において前記過渡電源電流が異常を示した場合に、当該2以上のテストパターン系列のうちの所定のテストパターン系列に対応する前記解析箇所から、当該2以上のテストパターン系列のうちの他のテストパターン系列に対応しない解析箇所を削除するステップと、

前記所定のテストパターン系列に対応する前記解析箇所のうち、残った前記解析箇所を前記故障箇所と推定するステップとを有することを特徴とする請求項1記載の故障解析方法。

8. 前記解析箇所を削除するステップは、前記半導体集積回路に供給された前記複数のテストパターン系列のうち、最初に前記過渡電源電流が異常を示したテストパターン系列を前記所定のテストパターン系列とするステップを有することを特徴とする請求項7記載の故障解析方法。

9. 前記故障箇所を推定するステップは、

前記過渡電源電流が異常を示すテストパターン系列に対応する解析箇所から、前記過渡電源電流が異常を示さないテストパターン系列に対応する解析箇所を削除するステップと、

前記過渡電源電流が異常を示す前記テストパターン系列に対応する前記解析箇所のうち、残った前記解析箇所を前記故障箇所と推定するステップとを有することを特徴とする請求項1記載の故障解析方法。

10. 前記解析箇所を格納するステップは、前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて出力を変化させる論理素子を前記

解析箇所として、当該テストパターン系列と対応づけて格納することを特徴とする請求項 1 記載の故障解析方法。

1 1. 前記解析箇所を格納するステップは、前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる信号線を、当該テストパターン系列と対応づけて格納することを特徴とする請求項 1 記載の故障解析方法。

1 2. 前記解析箇所を格納するステップは、前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる信号線、及び当該信号線に接続され当該テストパターンの変化に応じ出力を変化させる論理素子を含む信号伝搬パスを、当該テストパターン系列と対応づけて格納することを特徴とする請求項 1 記載の故障解析方法。

1 3. 半導体集積回路における故障箇所を推定する故障解析装置であって、  
前記半導体集積回路に電源電圧を印加する手段と、  
前記半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、

前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、

前記テストパターンの変化に応じて前記半導体集積回路において発生する過渡電源電流を測定し、前記過渡電源電流が異常を示すか否かを判断する過渡電源電流試験器と、

前記過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された前記解析箇所に基づいて、当該解析箇所における故障箇所を推定する故障箇所推定器と

を備えたことを特徴とする故障解析装置。

1 4. 前記過渡電源電流試験器は、前記過渡電源電流のパルス幅が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断することを特徴とする請

求項 1 3 記載の故障解析装置。

1 5. 前記過渡電源電流試験器は、所定の時間における前記過渡電源電流の瞬時値が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断することを特徴とする請求項 1 3 記載の故障解析装置。

5 1 6. 前記過渡電源電流試験器は、前記過渡電源電流の時間積分値が所定の値を超えたときに当該過渡電源電流が異常を示すと判断することを特徴とする請求項 1 3 記載の故障解析装置。

1 7. 前記所定の値をシミュレーションで算出する手段を更に備えたことを特徴とする請求項 1 4 から 1 6 のいずれか記載の故障解析装置。

10 1 8. 前記故障箇所推定器は、前記複数のテストパターン系列のうち、2 以上のテストパターン系列において前記過渡電源電流が異常を示した場合に、異常を示した前記テストパターン系列の全てに対応づけて格納された前記解析箇所を、前記故障箇所と推定することを特徴とする請求項 1 3 記載の故障解析装置。

1 9. 前記故障箇所推定器は、

15 前記複数のテストパターン系列のうち、2 以上のテストパターン系列において前記過渡電源電流が異常を示した場合に、当該 2 以上のテストパターン系列のうちの所定のテストパターン系列に対応する前記解析箇所から、当該 2 以上のテストパターン系列のうちの他のテストパターン系列に対応しない解析箇所を削除する手段と、

20 前記所定のテストパターン系列に対応する前記解析箇所のうち、残った前記解析箇所を前記故障箇所と推定する手段と  
を有することを特徴とする請求項 1 3 記載の故障解析装置。

2 0. 前記解析箇所を削除する手段は、前記半導体集積回路に供給された前記複数のテストパターン系列のうち、最初に前記過渡電源電流が異常を示したテスト

25 パターン系列を前記所定のテストパターン系列とする手段を有することを特徴とする請求項 1 9 記載の故障解析装置。

2 1. 前記故障箇所推定器は、

前記過渡電源電流が異常を示すテストパターン系列に対応する解析箇所から、前記過渡電源電流が異常を示さないテストパターン系列に対応する解析箇所を削除する手段と、

前記過渡電源電流が異常を示す前記テストパターン系列に対応する前記解析

- 5 箇所のうち、残った前記解析箇所を前記故障箇所と推定する手段と  
を有することを特徴とする請求項 1 3 記載の故障解析装置。

2 2. 前記解析箇所を格納する手段は、前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて出力を変化させる論理素子を前記解析箇所として、当該テストパターン系列と対応づけて格納することを特徴とする請求項 1 3 記載の故障解析装置。

2 3. 前記解析箇所を格納する手段は、前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる信号線を、当該テストパターン系列と対応づけて格納することを特徴とする請求項 1 3 記載の故障解析装置。

- 15 2 4. 前記解析箇所を格納する手段は、前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる信号線、及び当該信号線に接続され当該テストパターンの変化に応じ出力を変化させる論理素子を含む信号伝搬パスを、当該テストパターン系列と対応づけて格納することを特徴とする請求項 1 3 記載の故障解析装置。

- 20 2 5. 半導体集積回路における故障箇所を推定する故障解析装置であって、  
前記半導体集積回路に電源電圧を印加する手段と、  
前記半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、

- 25 前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、

前記テストパターンの変化に応じて前記半導体集積回路において発生する過

渡電源電流を測定する手段と、

前記過渡電源電流のパルス幅が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断する手段と、

- 5 前記過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された前記解析箇所に基づいて、当該解析箇所における故障箇所を推定する手段と

を備えたことを特徴とする故障解析装置。

26. 半導体集積回路における故障箇所を推定する故障解析装置であって、

前記半導体集積回路に電源電圧を印加する手段と、

- 10 前記半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、

前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、

- 15 前記テストパターンの変化に応じて前記半導体集積回路において発生する過渡電源電流を測定する手段と、

所定の時間における前記過渡電源電流の瞬時値が、所定の値を超えたときに当該過渡電源電流が異常を示すと判断する手段と、

- 20 前記過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された前記解析箇所に基づいて、当該解析箇所における故障箇所を推定する手段と

を備えたことを特徴とする故障解析装置。

27. 半導体集積回路における故障箇所を推定する故障解析装置であって、

前記半導体集積回路に電源電圧を印加する手段と、

- 25 前記半導体集積回路に複数のテストパターンを有するテストパターン系列を供給する手段と、

前記半導体集積回路に含まれ、供給された前記テストパターンの変化に応じて

電位を変化させる箇所である解析箇所を、当該テストパターン系列と対応づけて格納する手段と、

前記テストパターンの変化に応じて前記半導体集積回路において発生する過渡電源電流を測定する手段と、

- 5 前記過渡電源電流の時間積分値が所定の値を超えたときに当該過渡電源電流が異常を示すと判断する手段と、

前記過渡電源電流が異常を示したテストパターン系列、及び当該テストパターン系列と対応づけて格納された前記解析箇所に基づいて、当該解析箇所における故障箇所を推定する手段と

- 10 を備えたことを特徴とする故障解析装置。



図 1

1/29

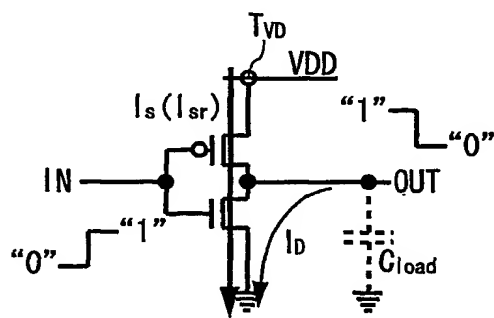
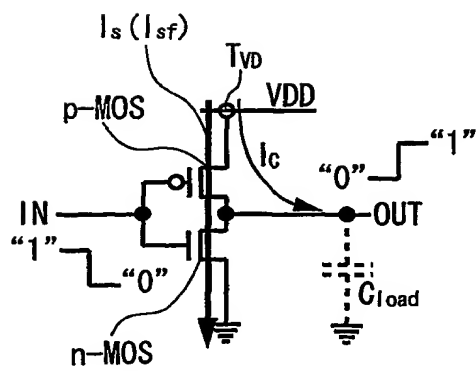
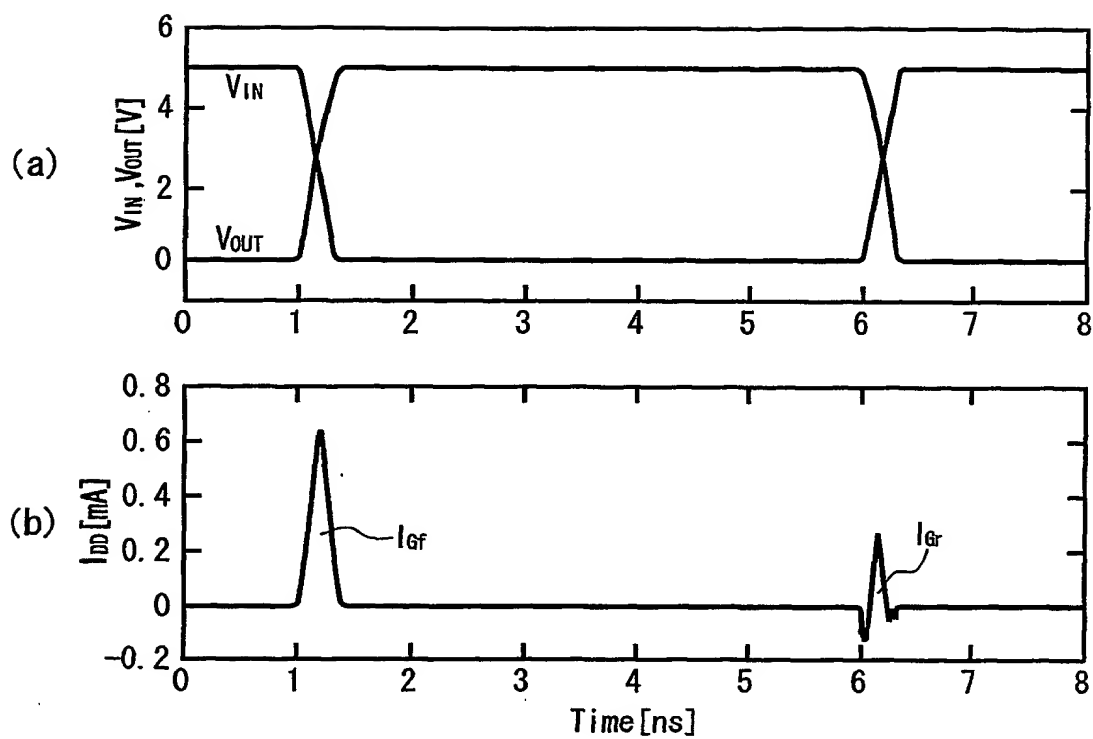




図 2

2/29

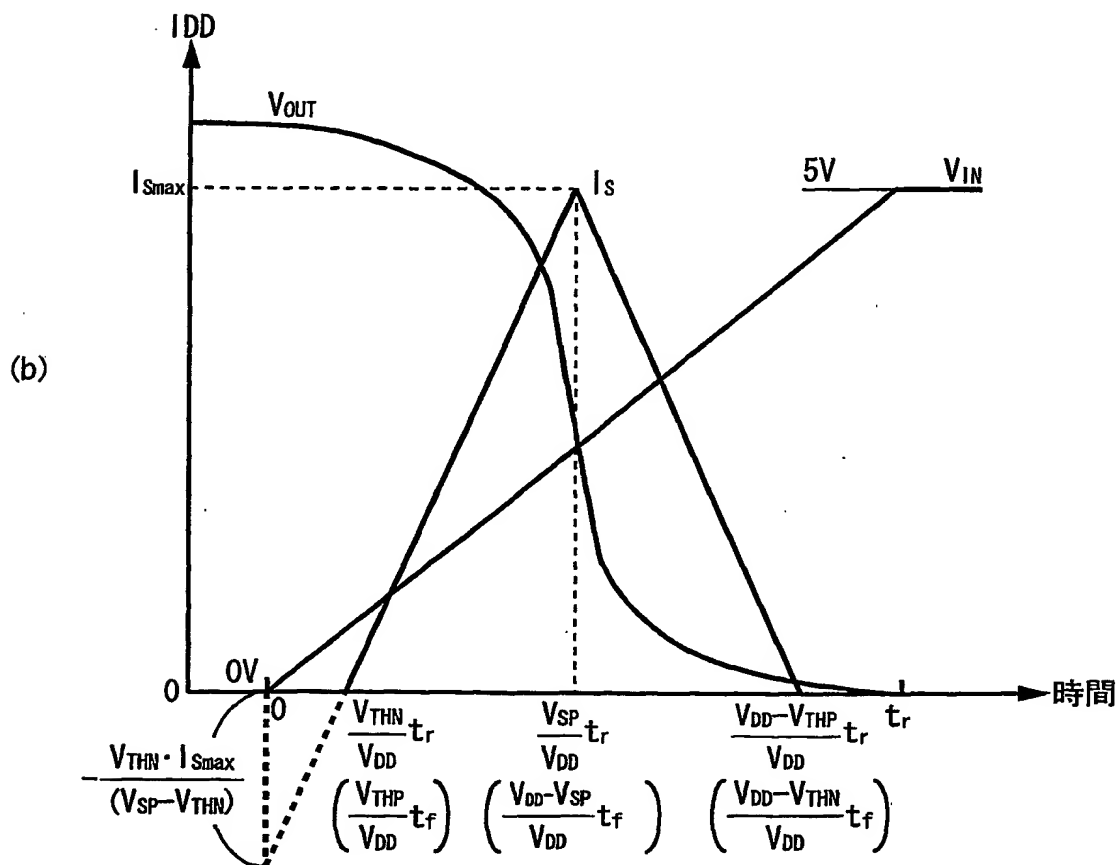
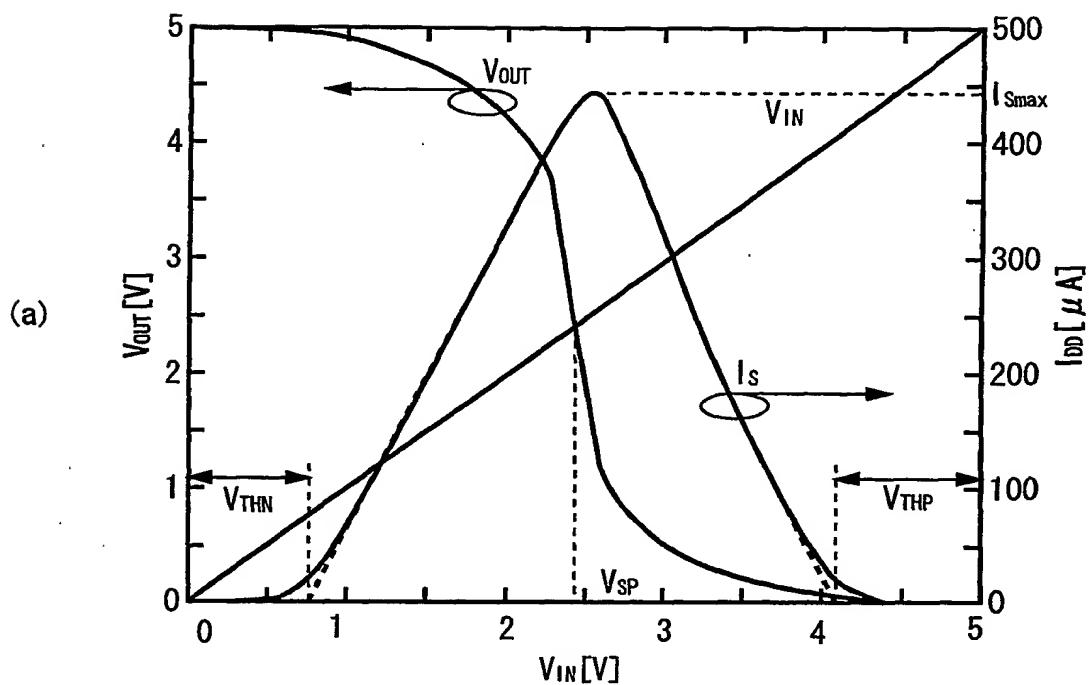




図 3

3/29

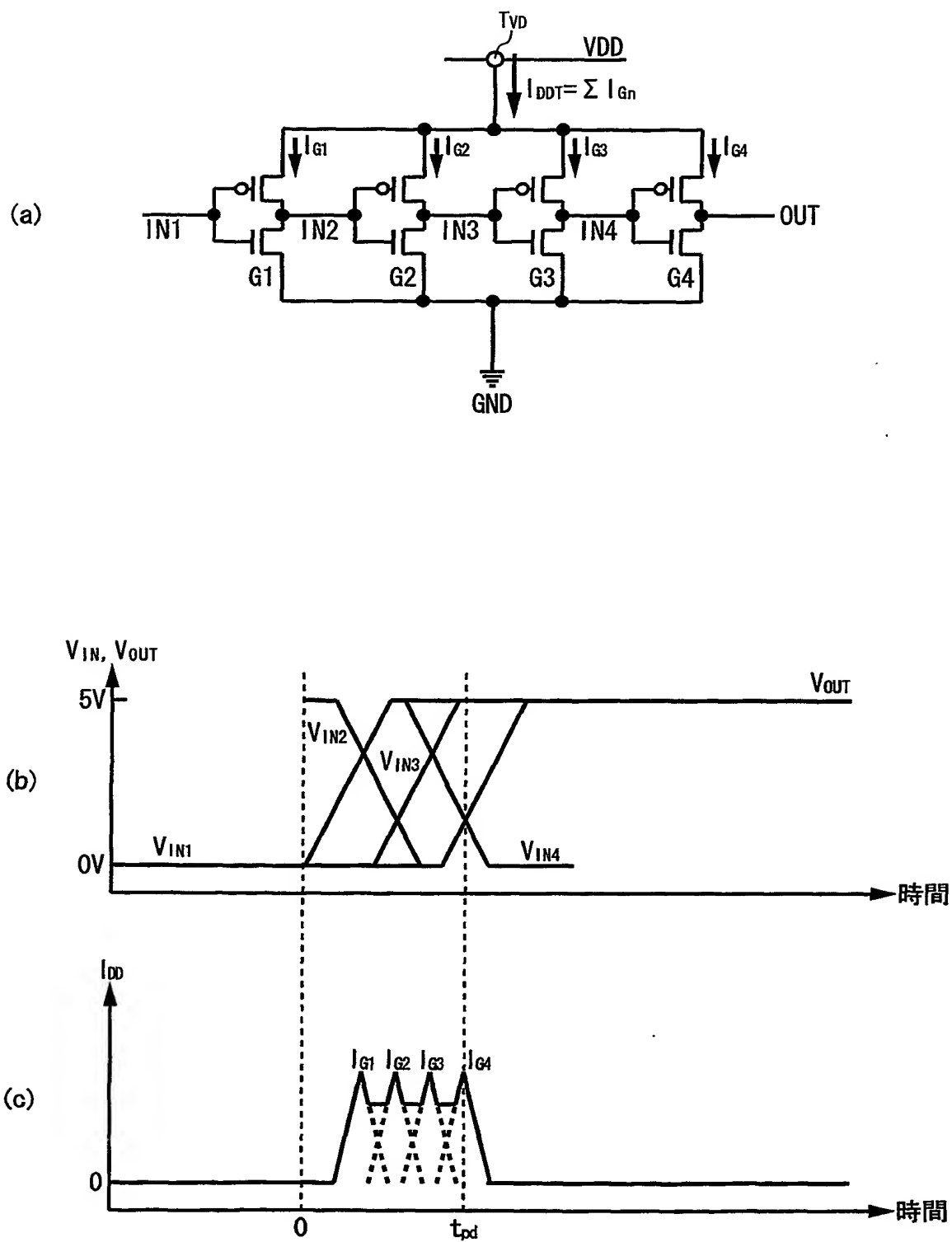
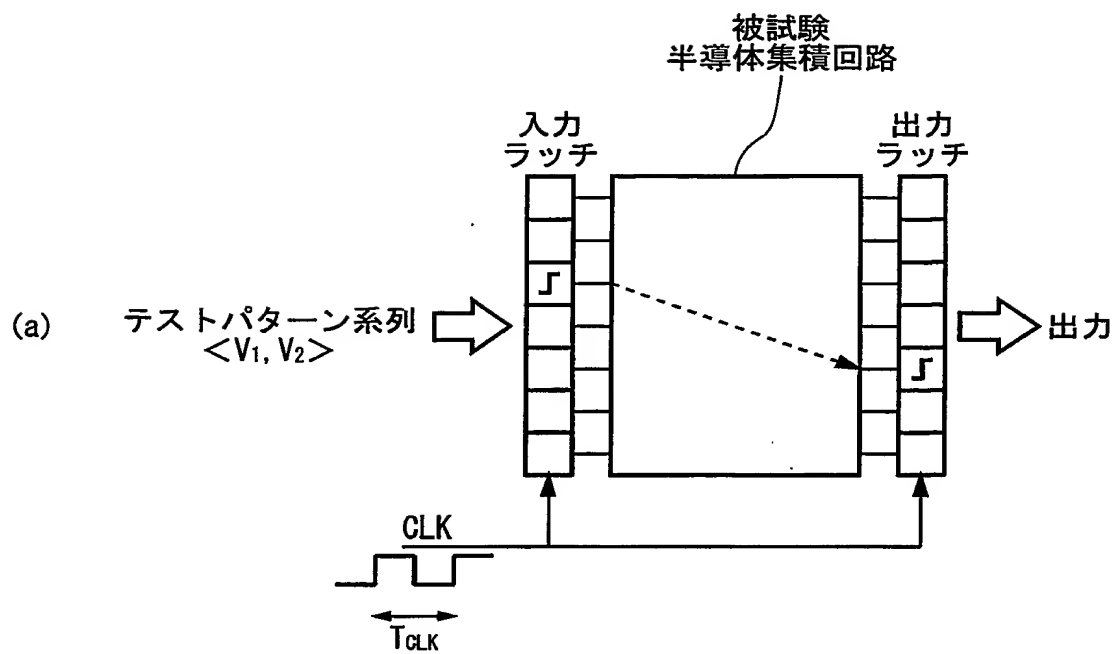




図 4

4/29



(b)

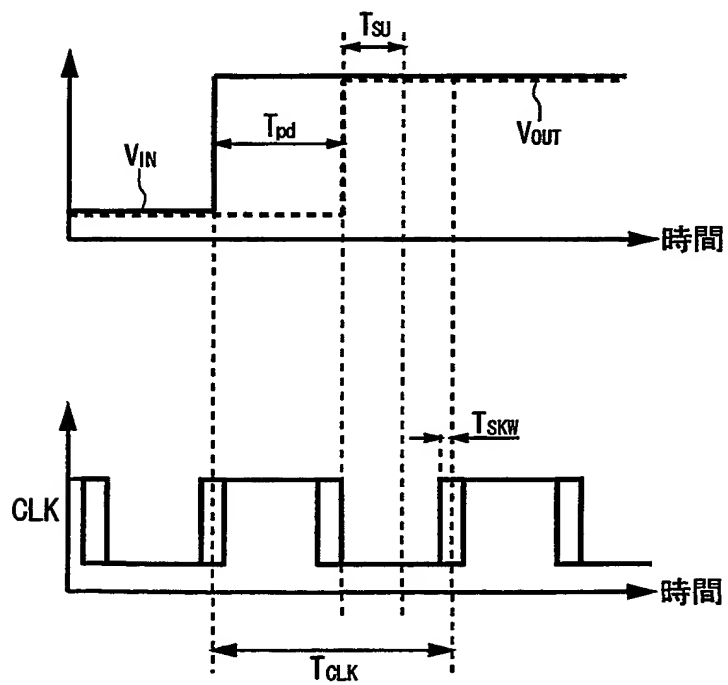




図 5

5/29

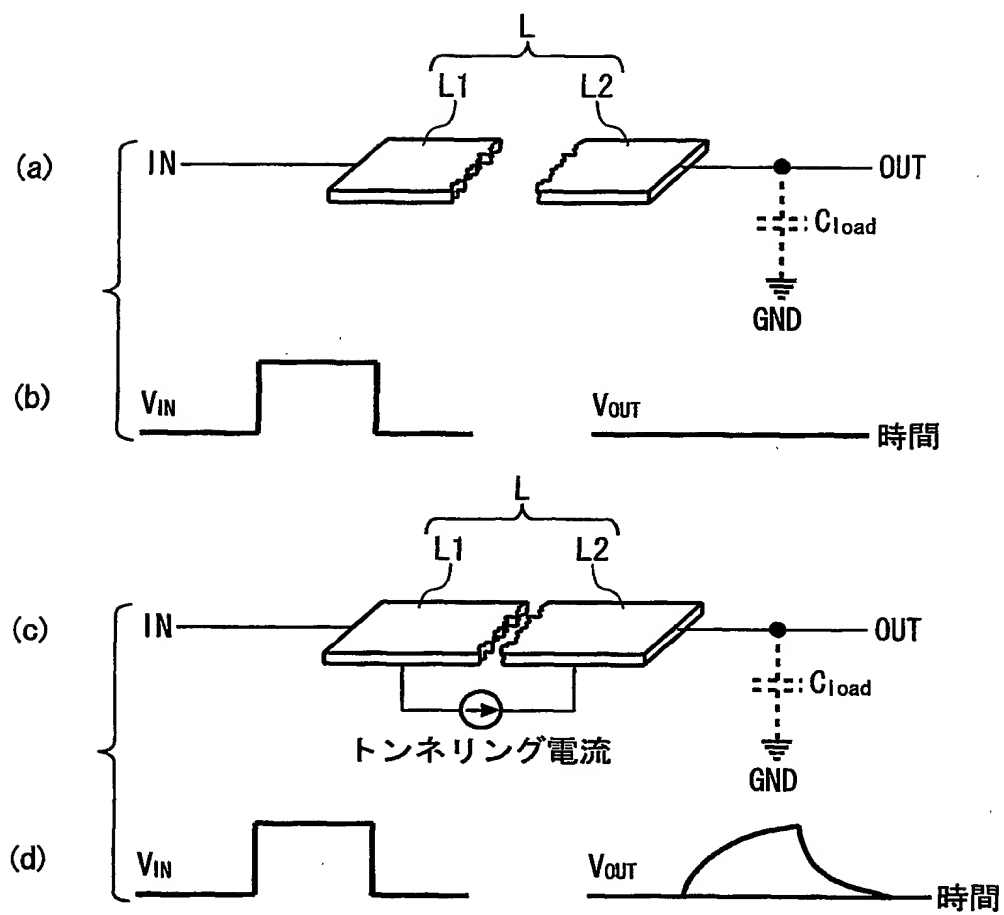




図 6

6/29

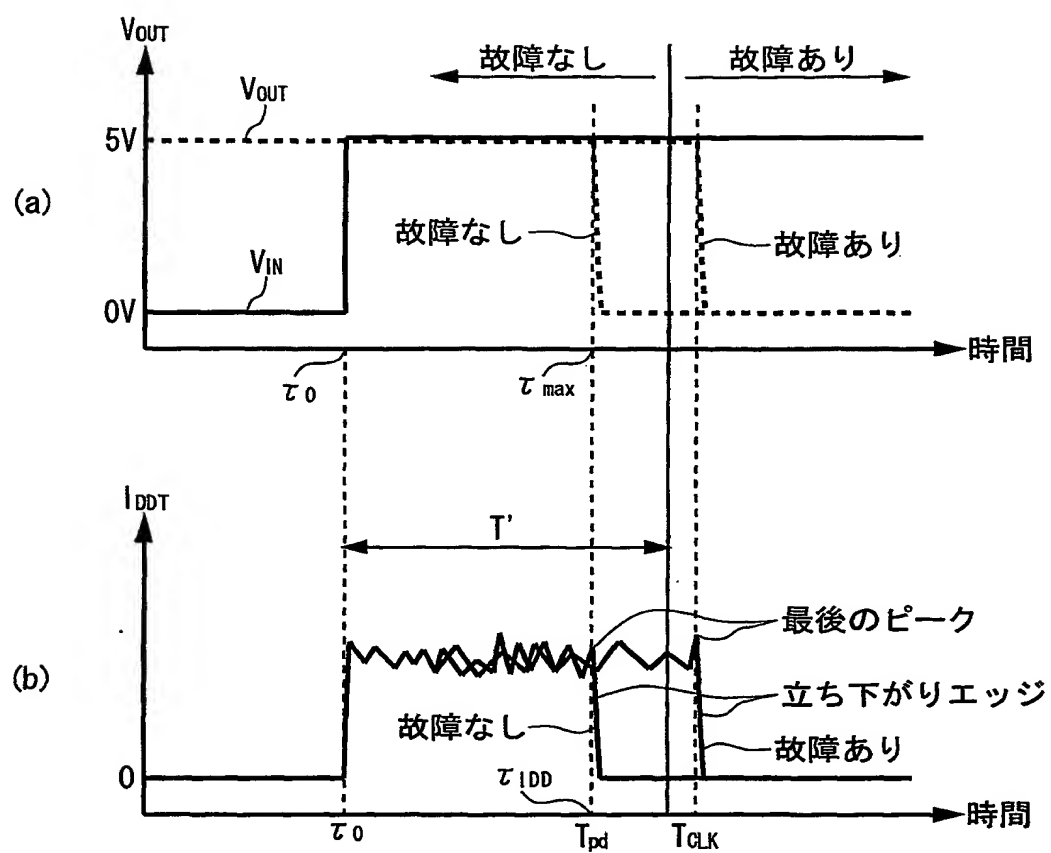




図 7

7/29

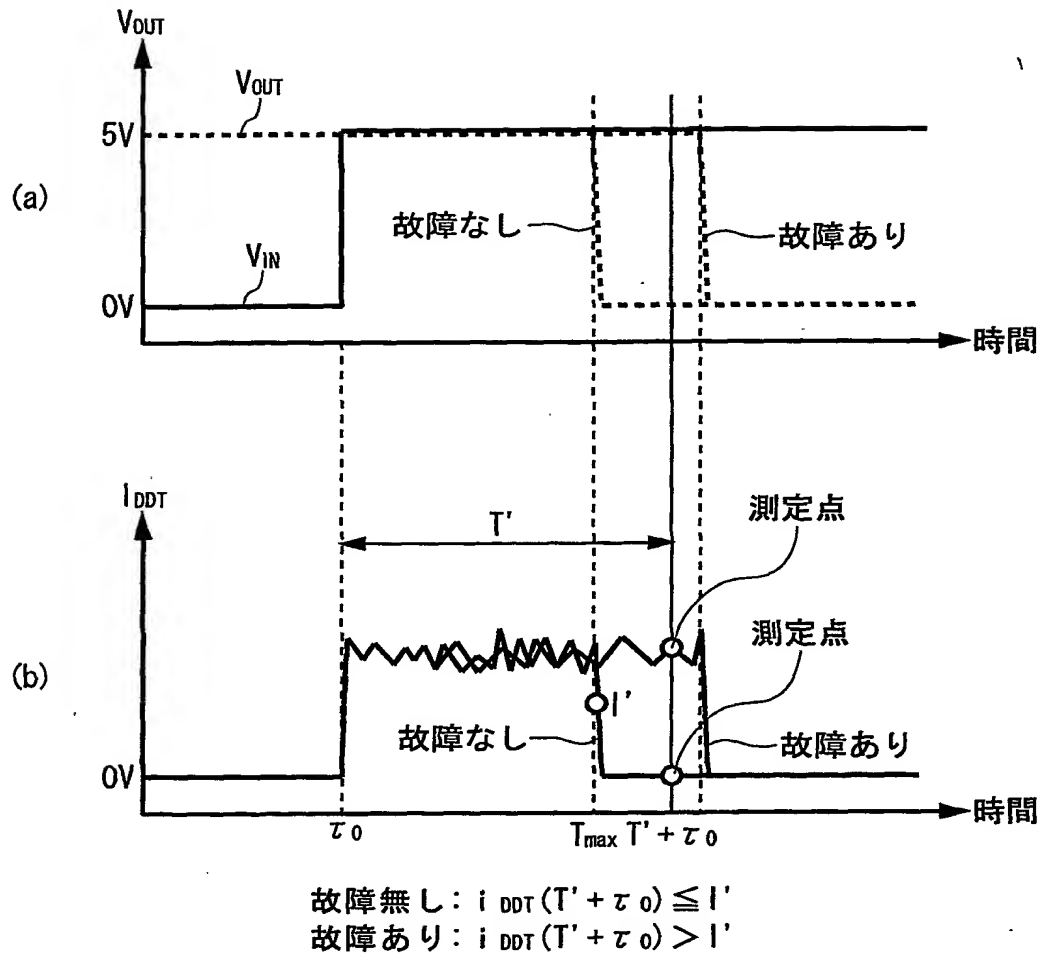




圖 8

8/29

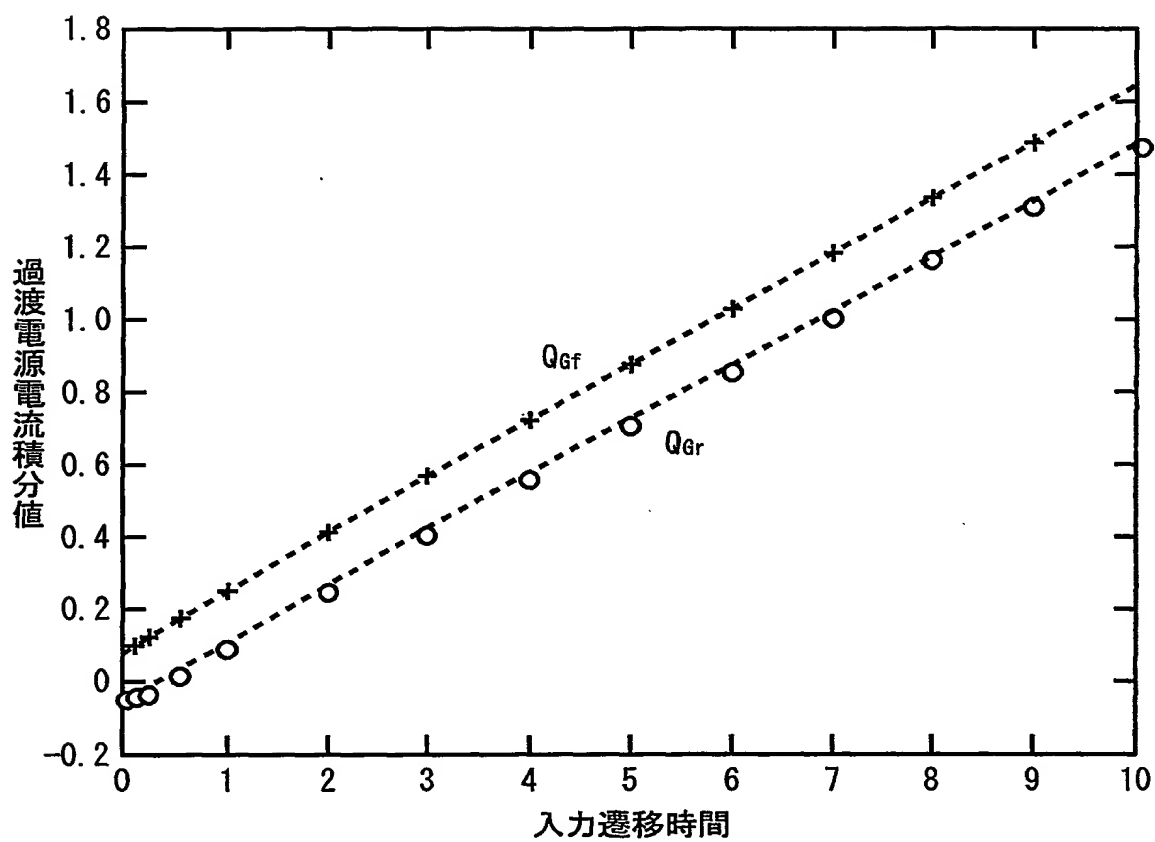


圖 9

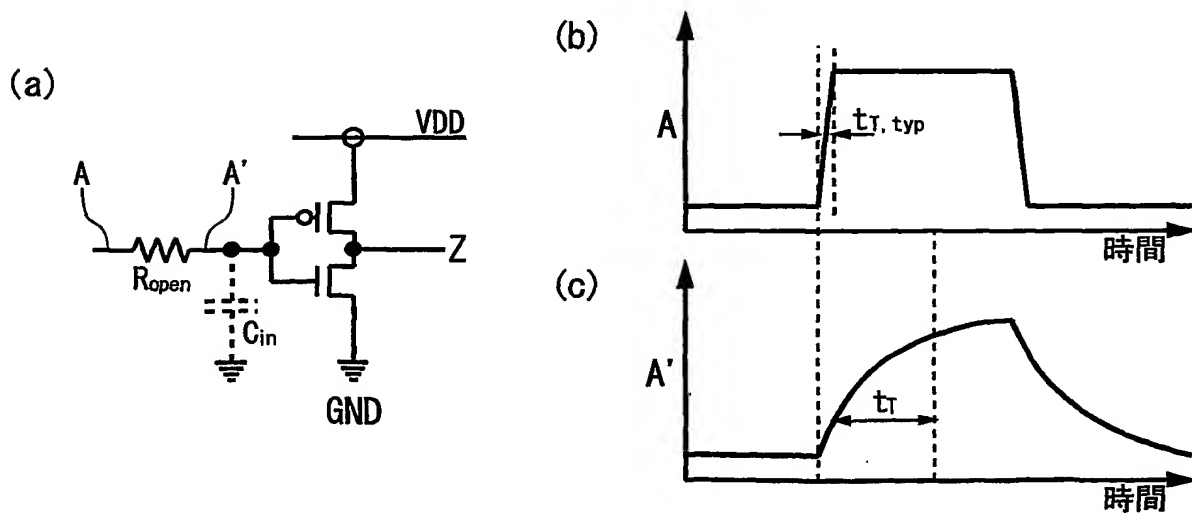




図 10

9/29

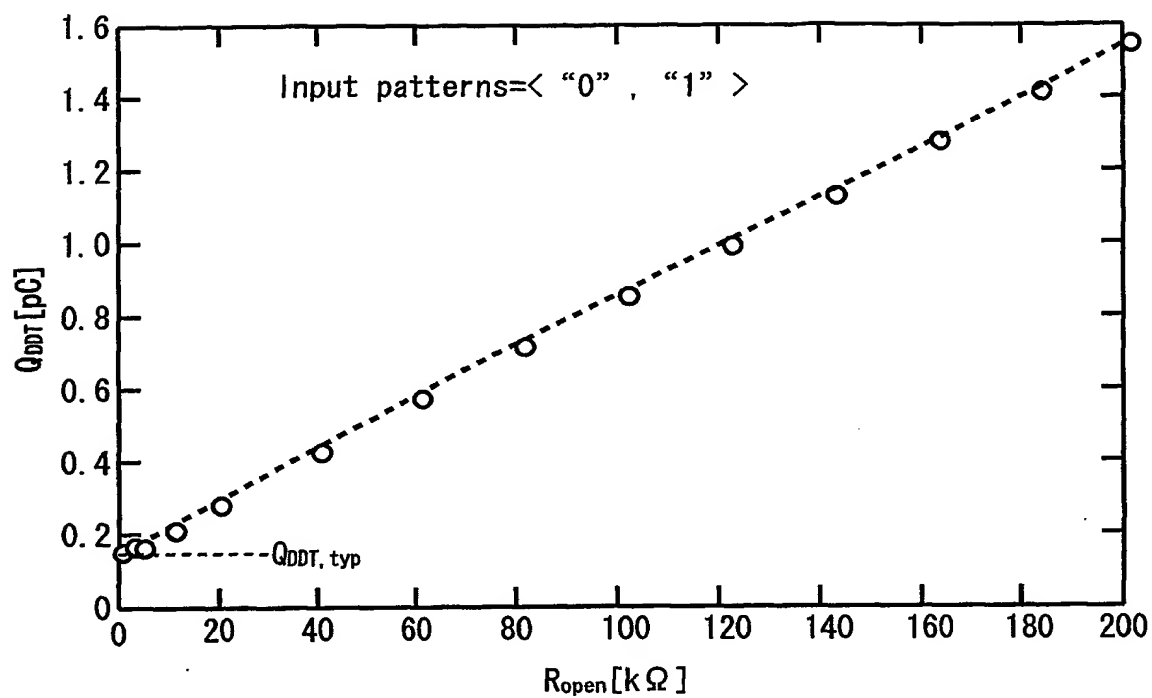


図 11

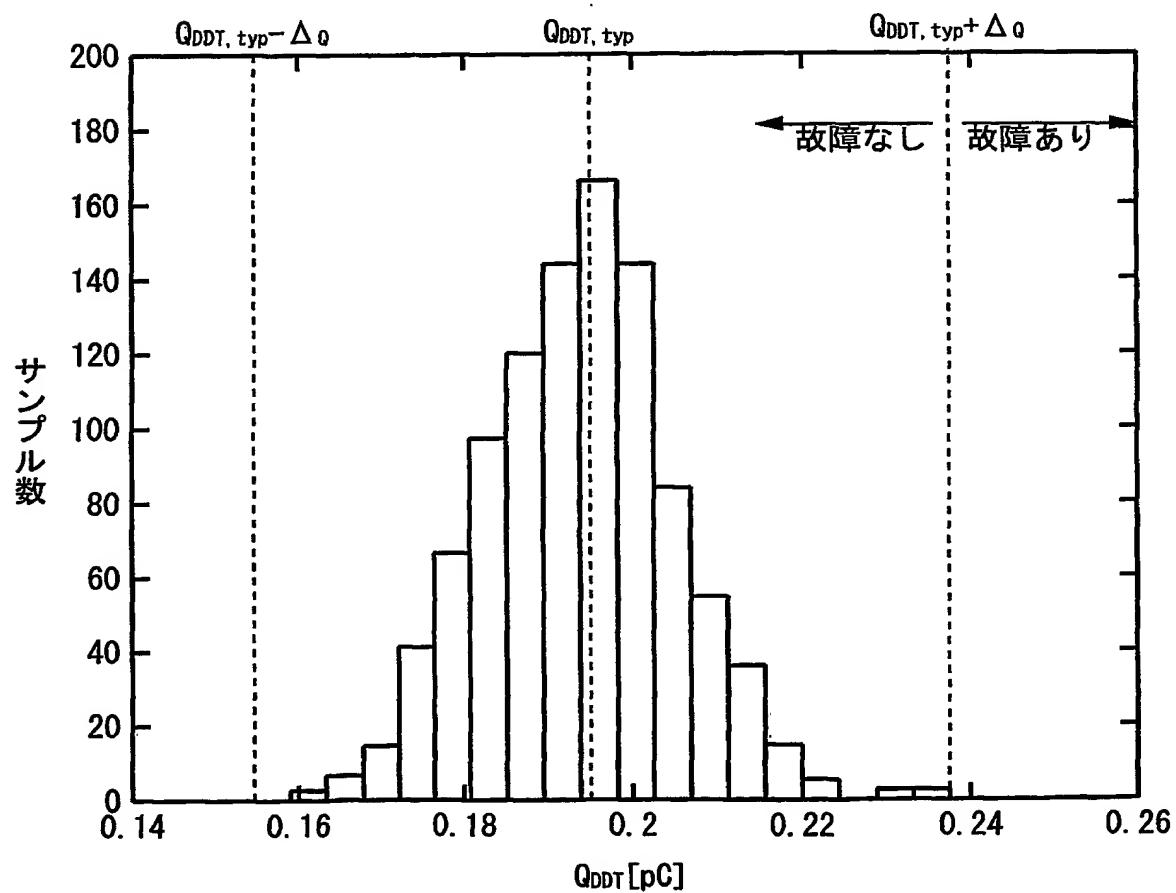




図 1 2

10/29

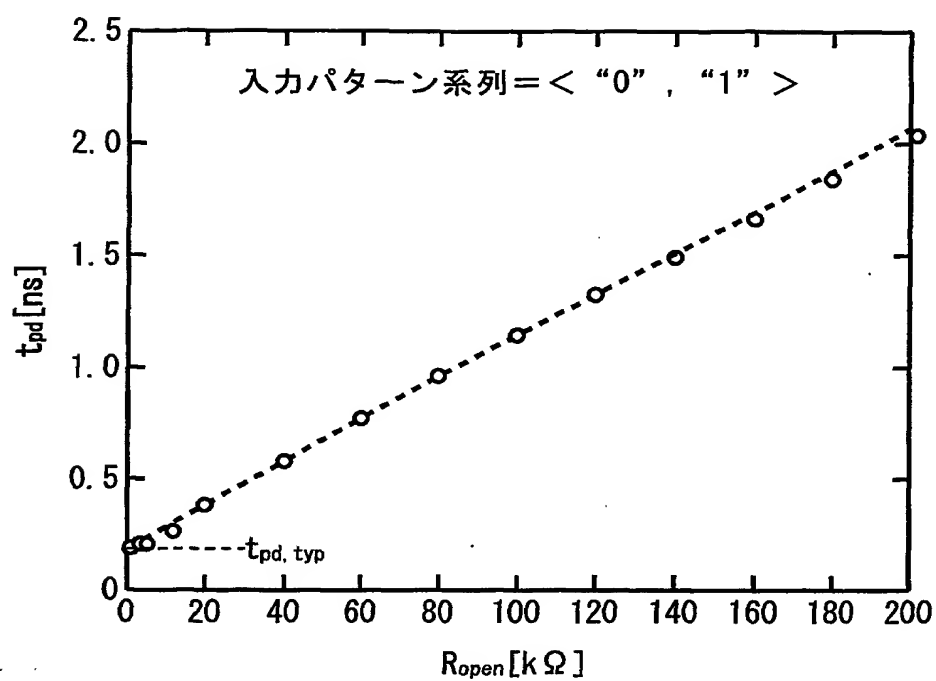


図 1 3

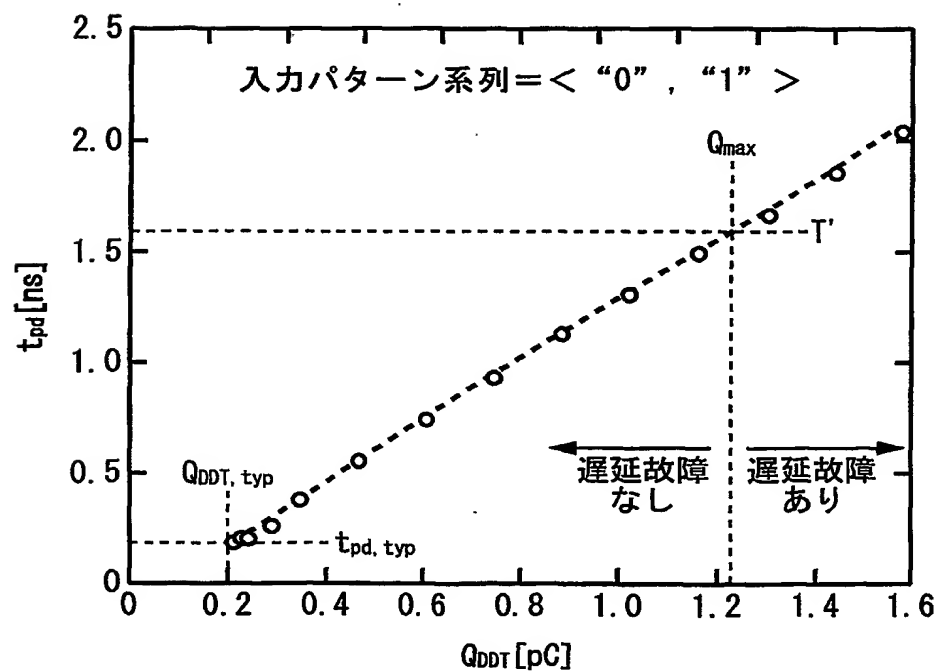




图 14

11/29

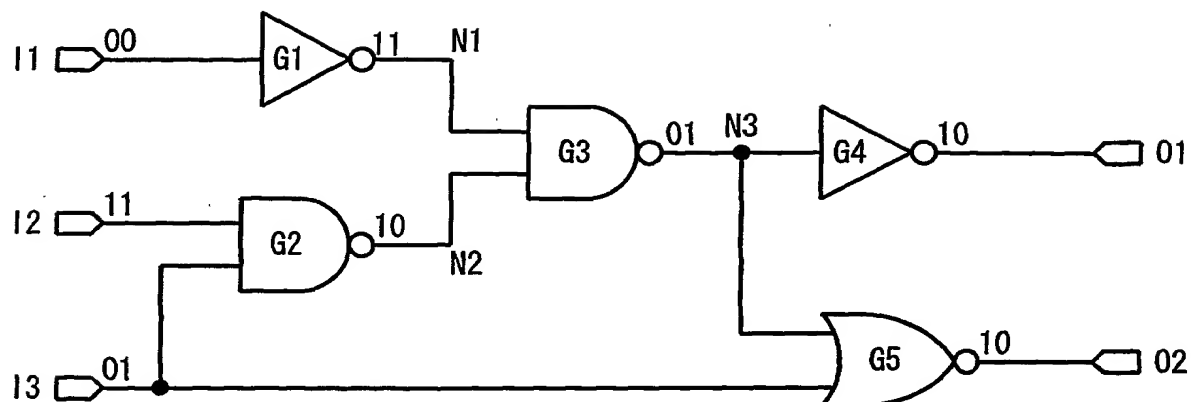


图 15

[illegible]



図 16

12/29

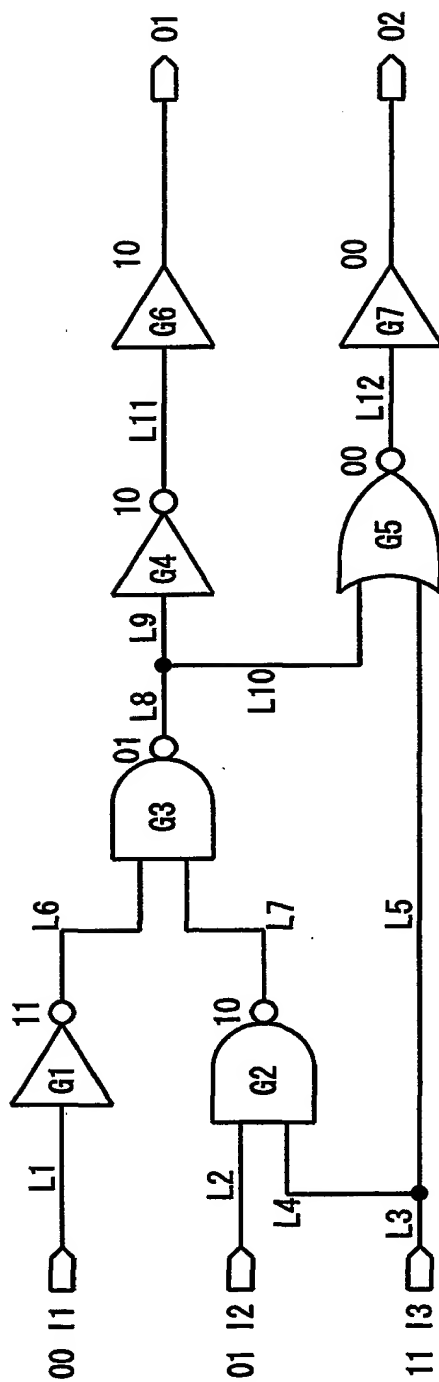




图 17

13/29

[illegible]



图 18

14/29

[illegible]







図 20

16/29

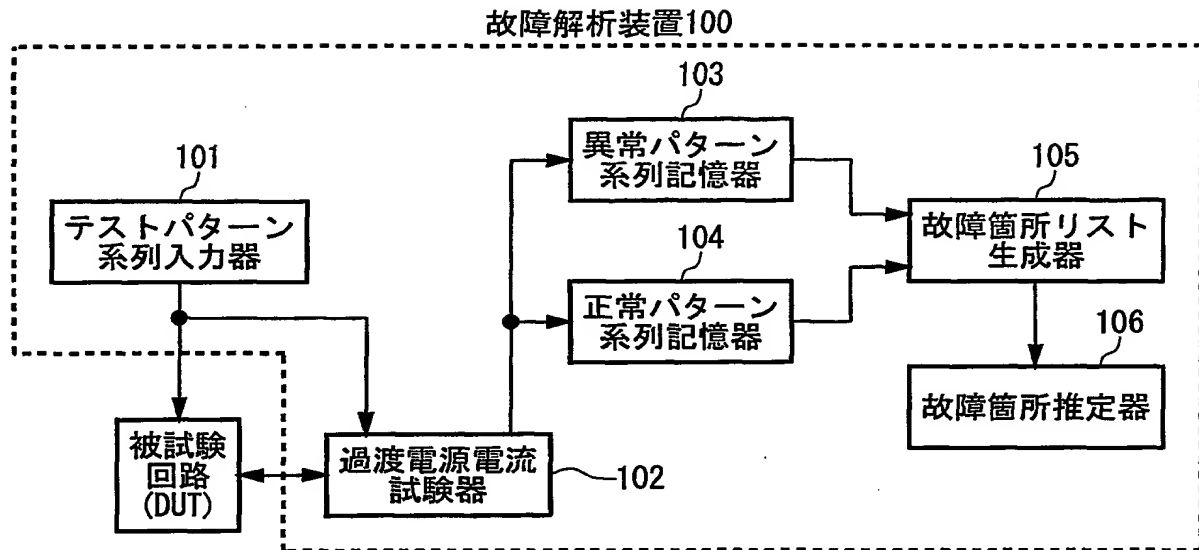


図 21

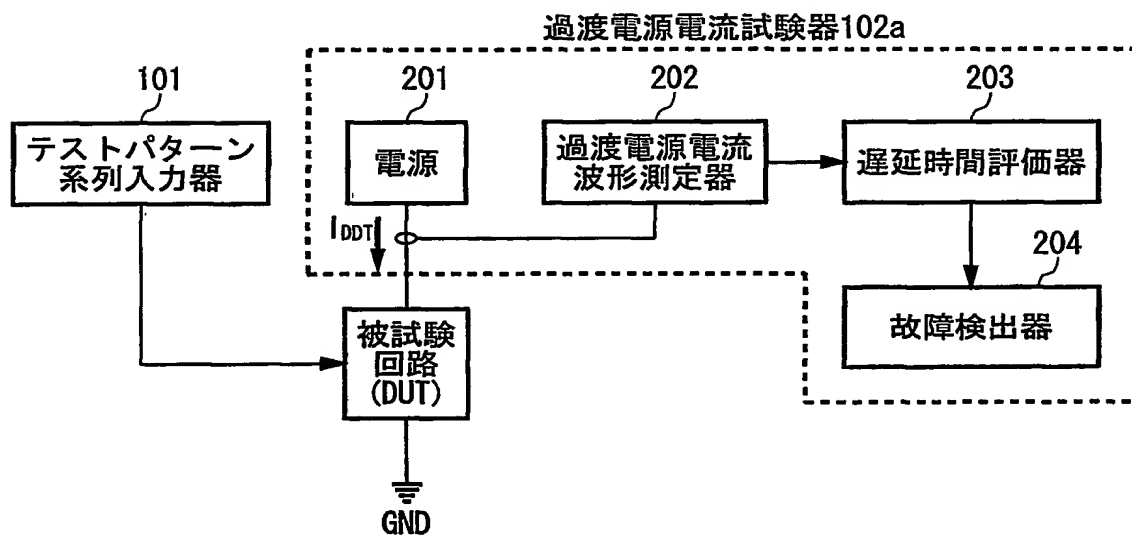




図 2 2

17/29

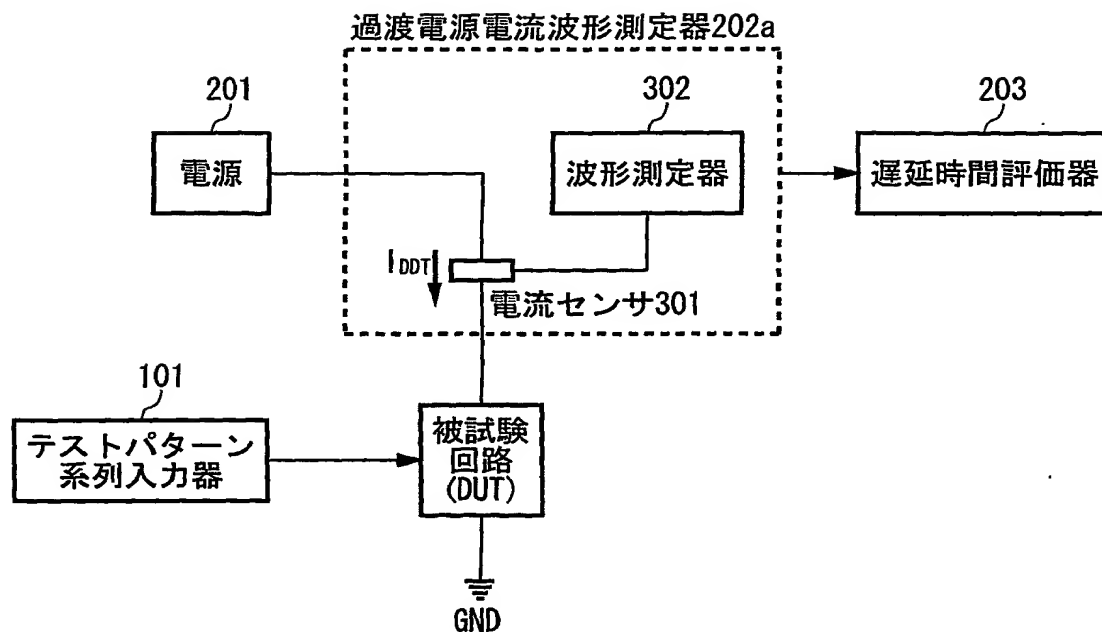


図 2 3

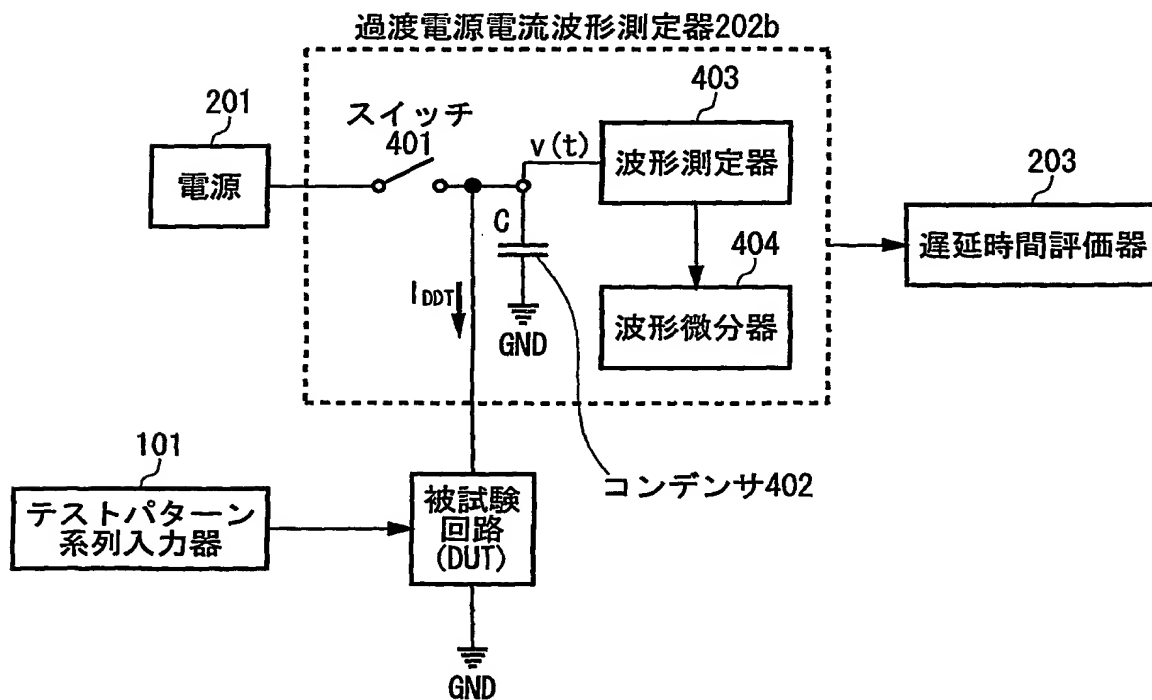




図 2 4

18/29

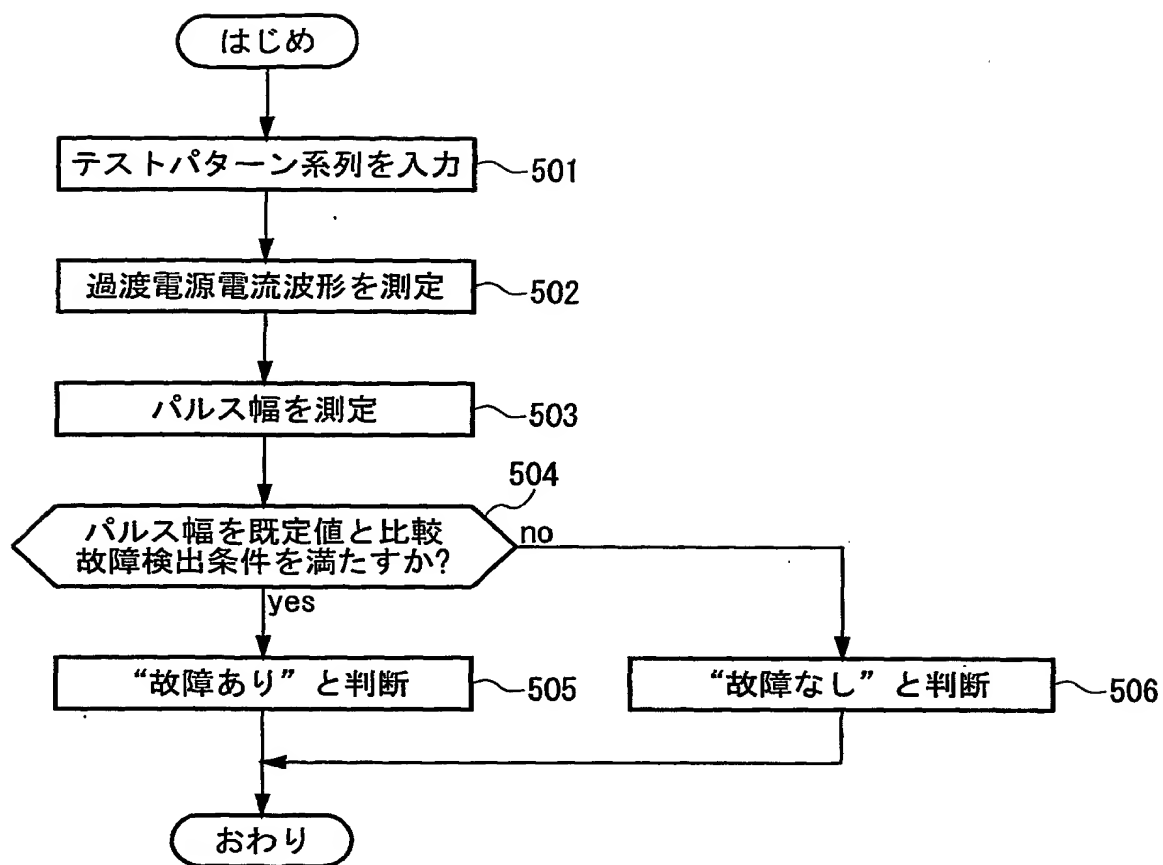


図 2 5

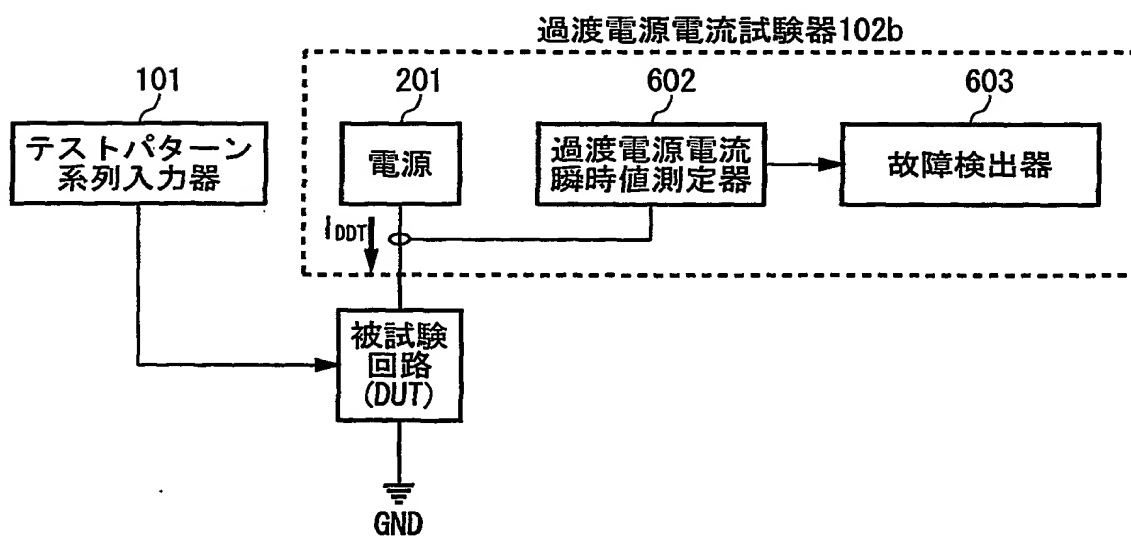




図 2 6

19/29

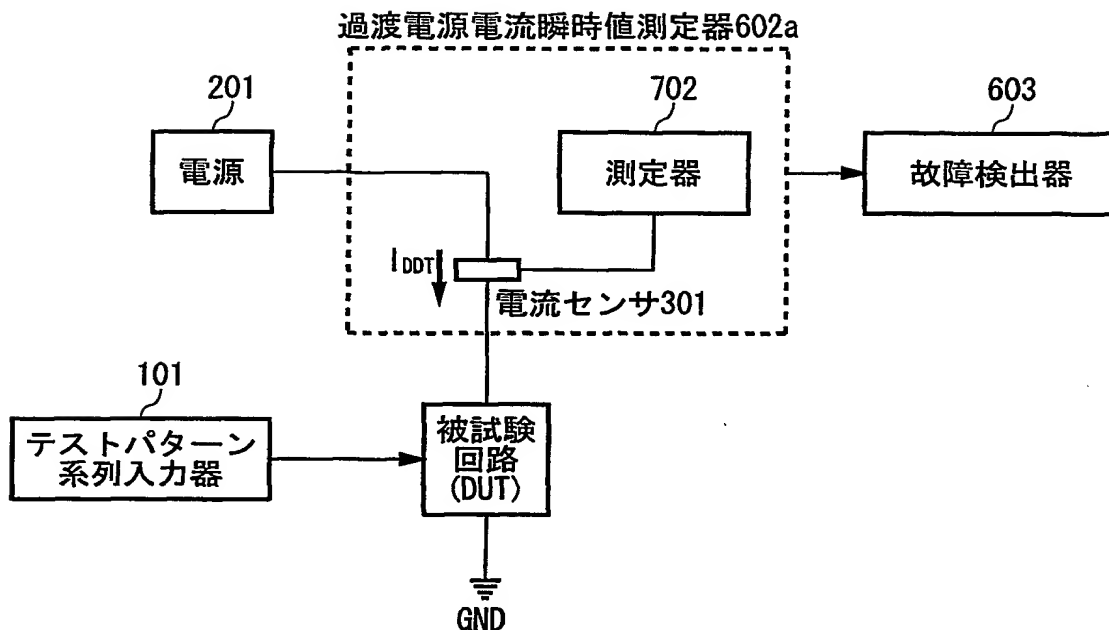


図 2 7

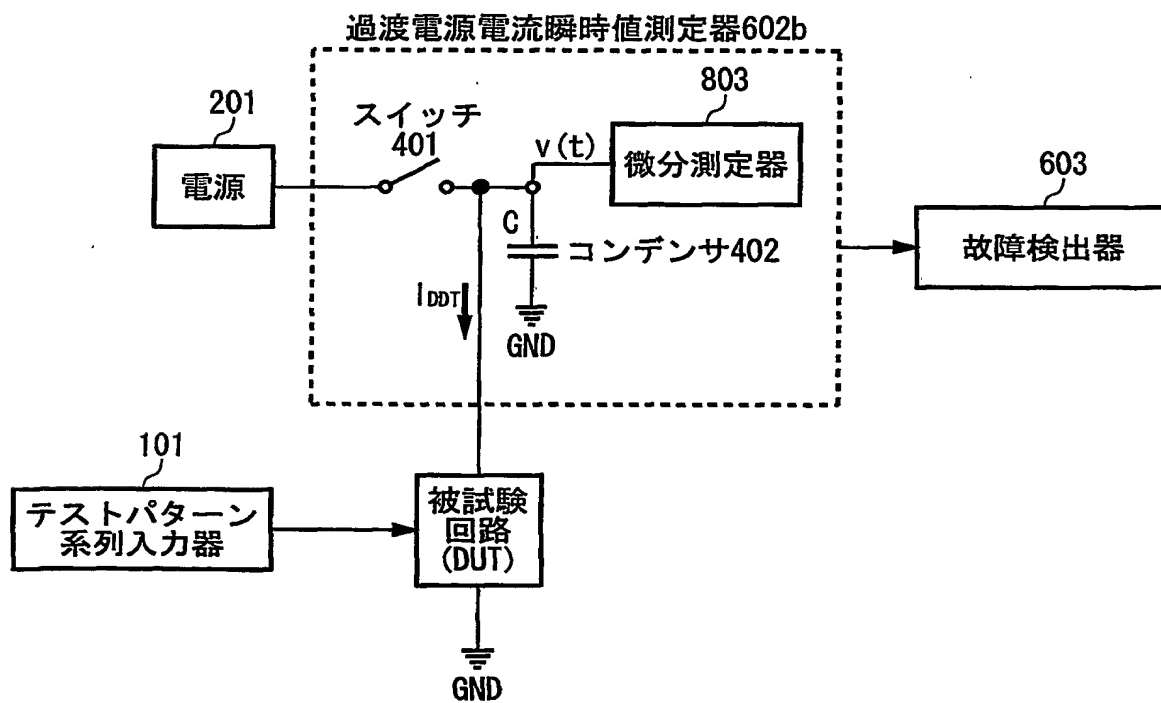




図 28

20/29

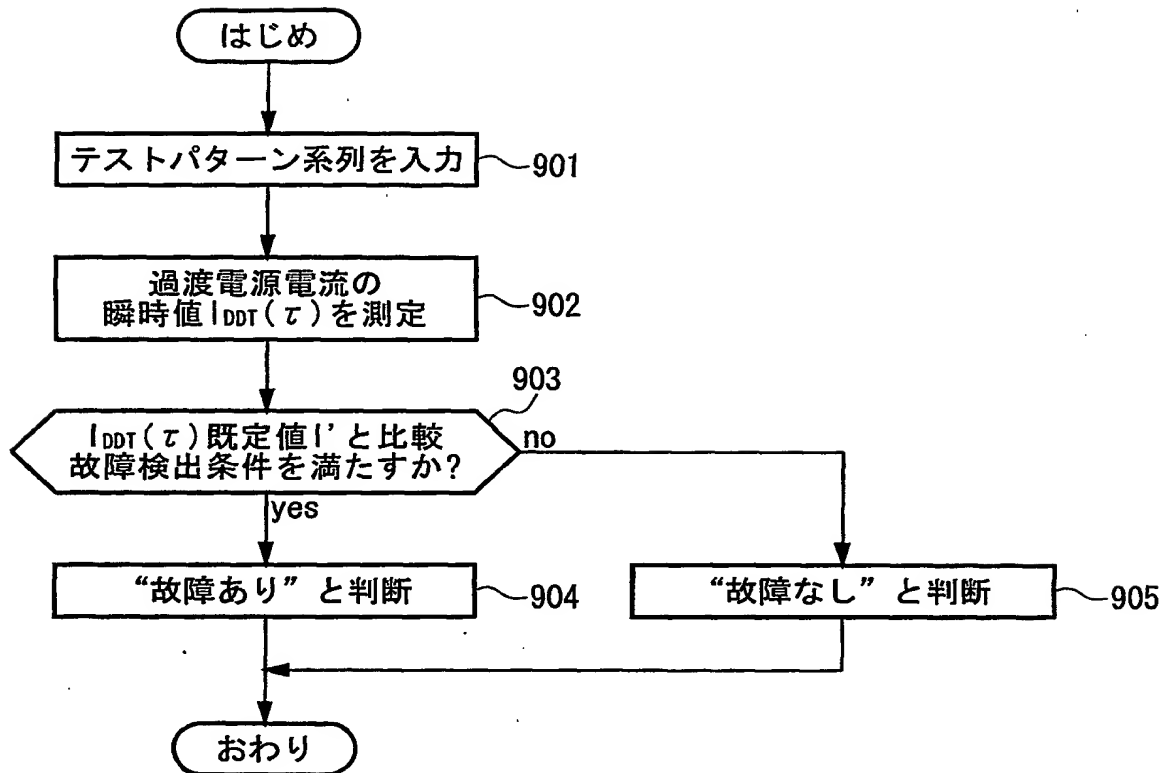


図 29

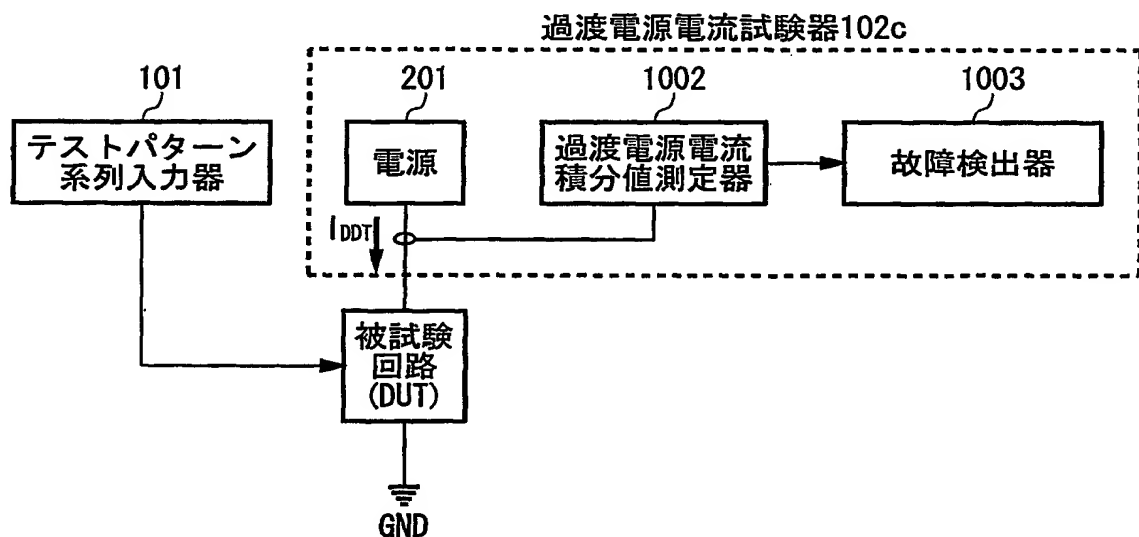




図 3 0

21/29

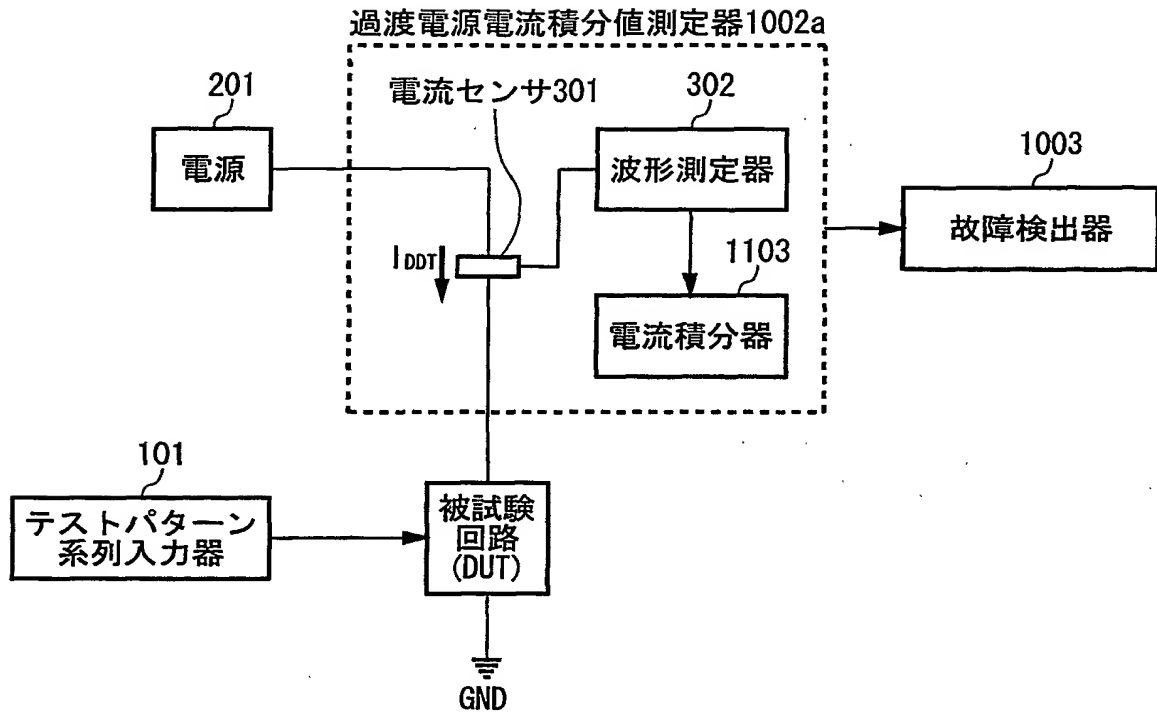


図 3 1

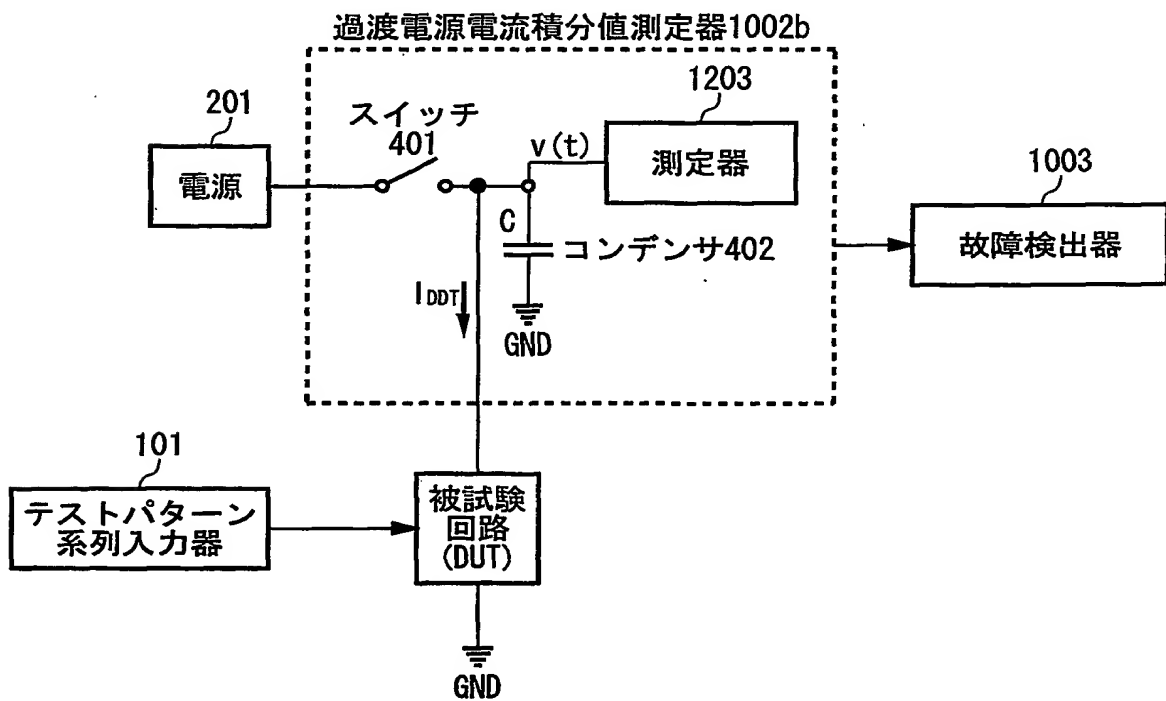




図 3 2

22/29

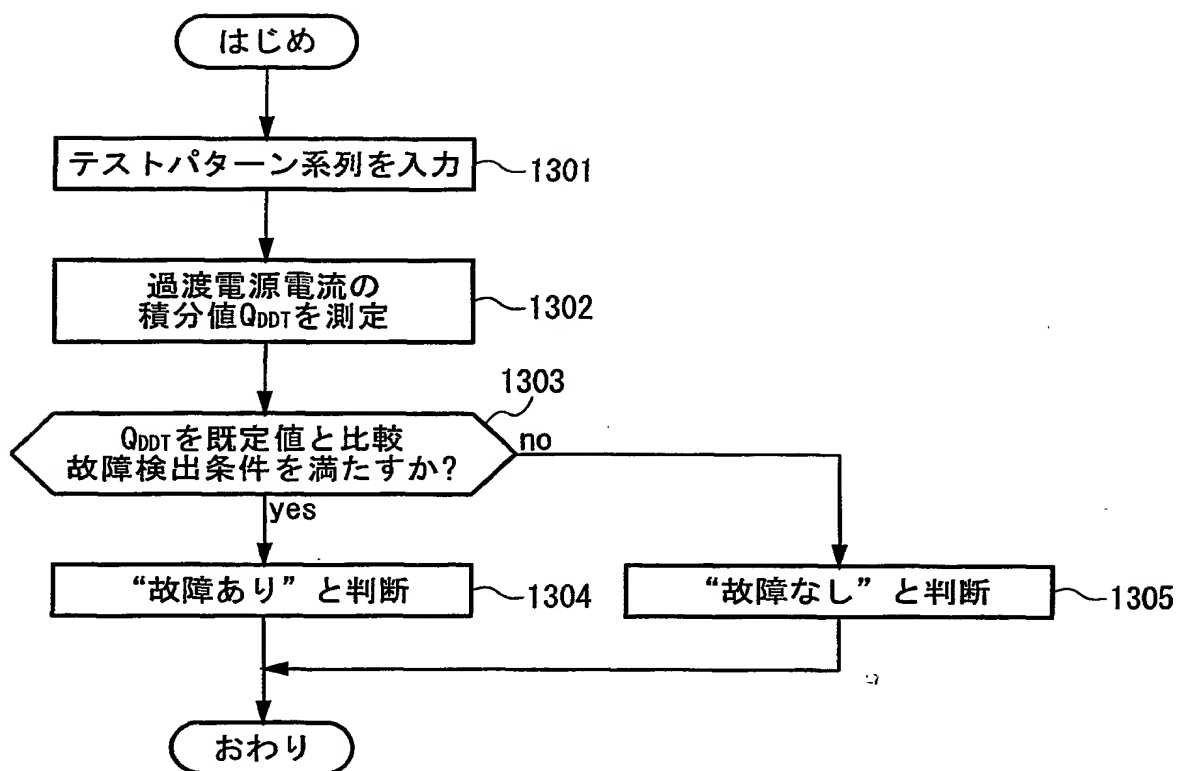




図 3 3

23/29

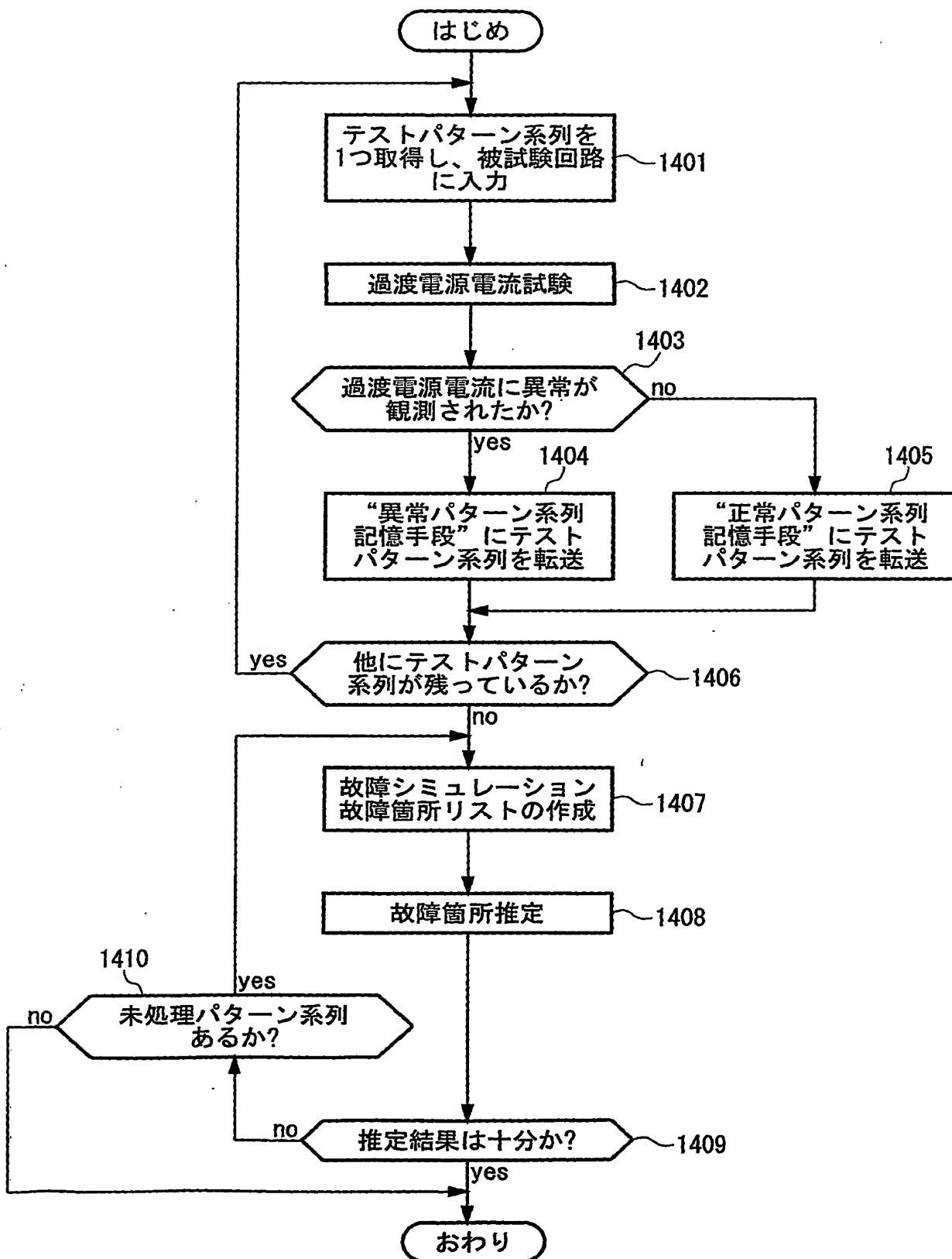




図 3 4

24/29

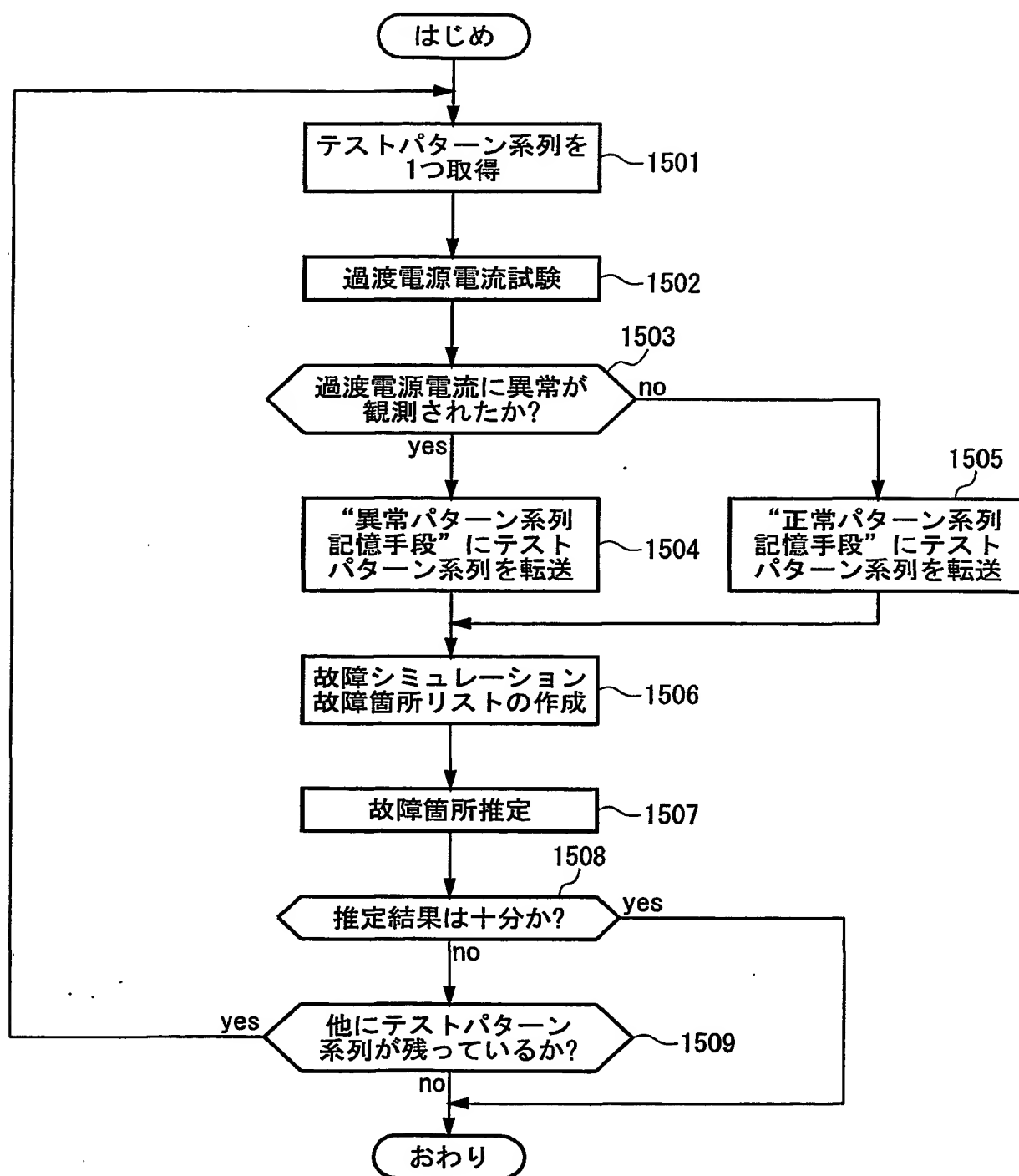




図 3 5

25/29

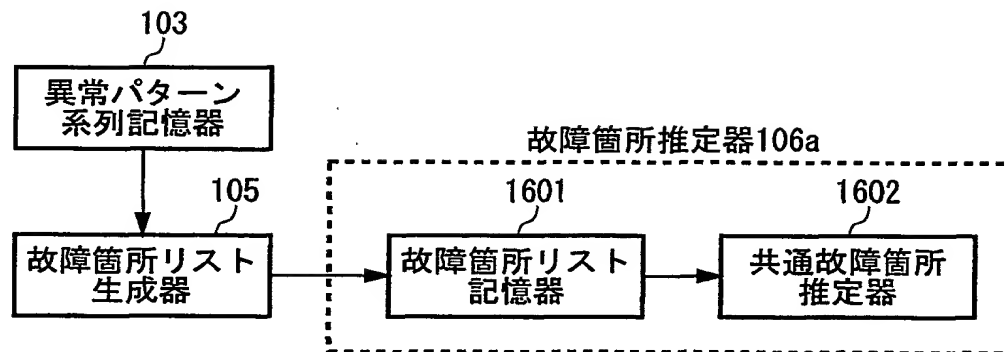


図 3 6

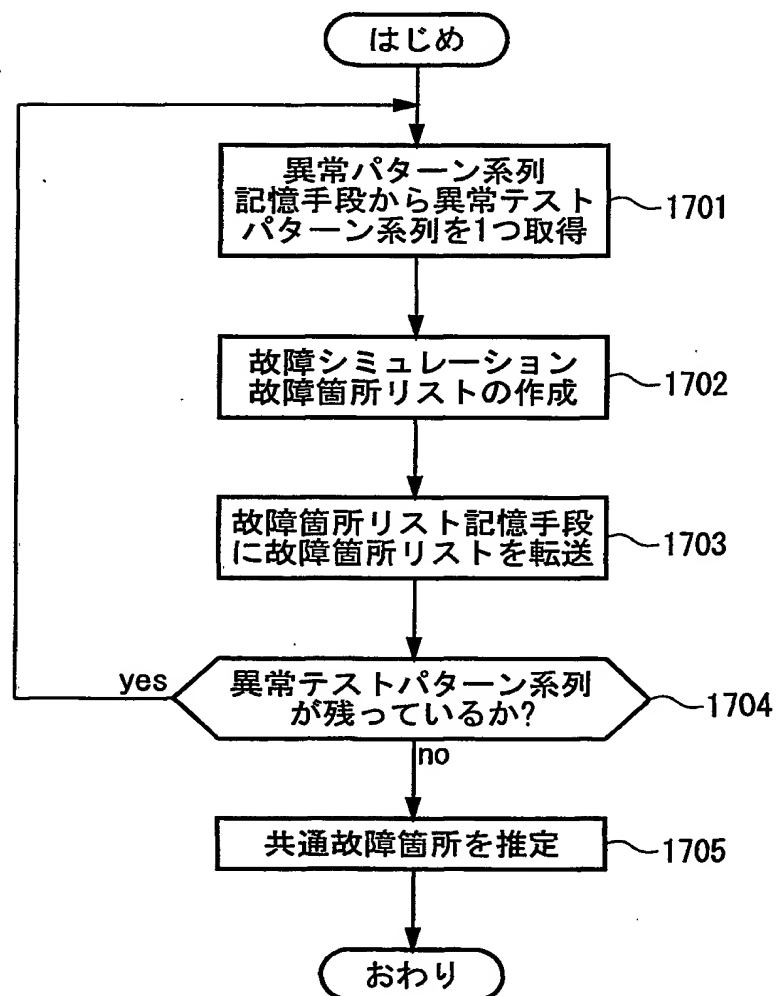




図 3 7

26/29

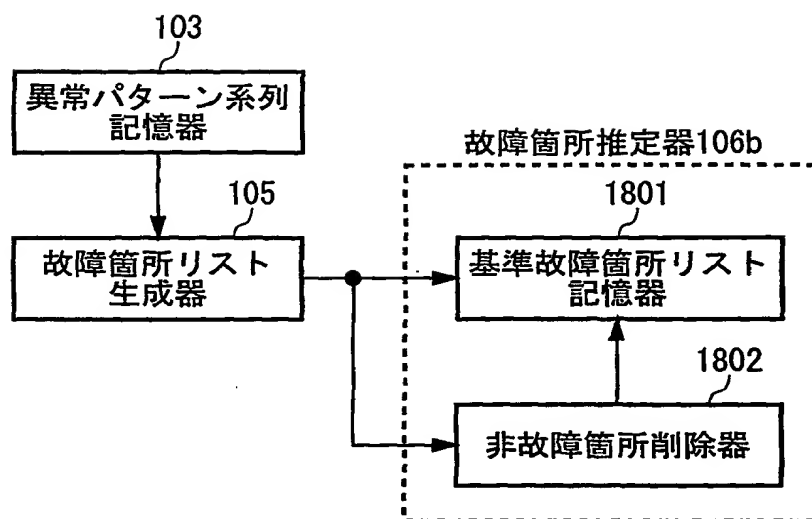




図 38

27/29

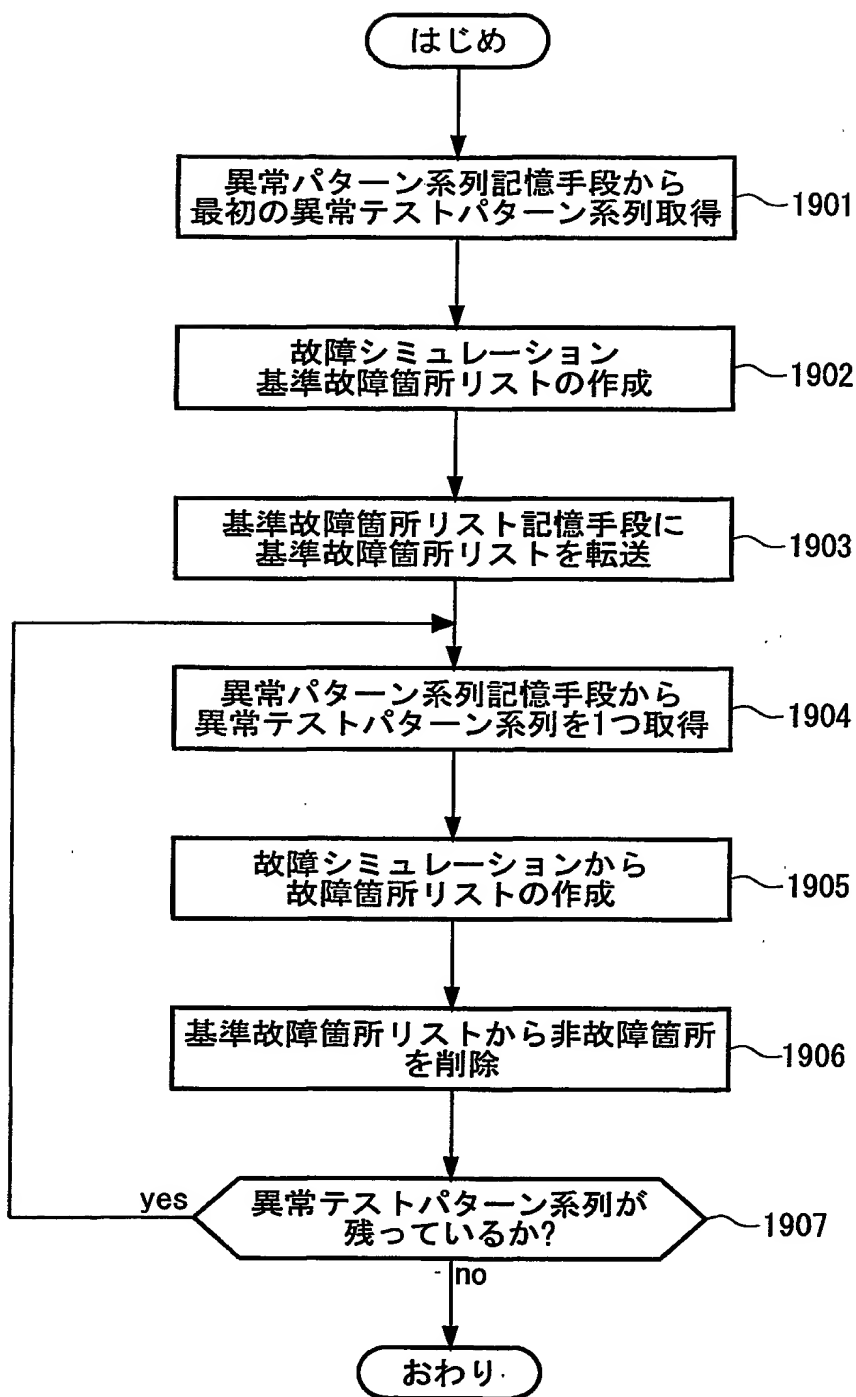
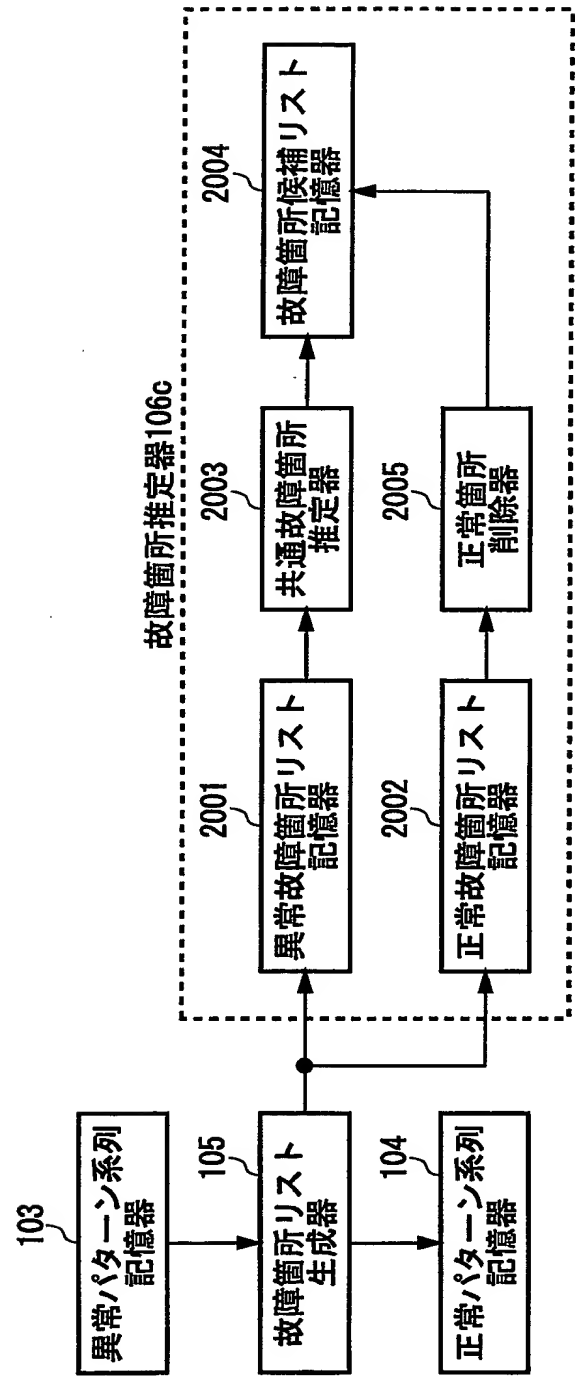




図 3 9



1

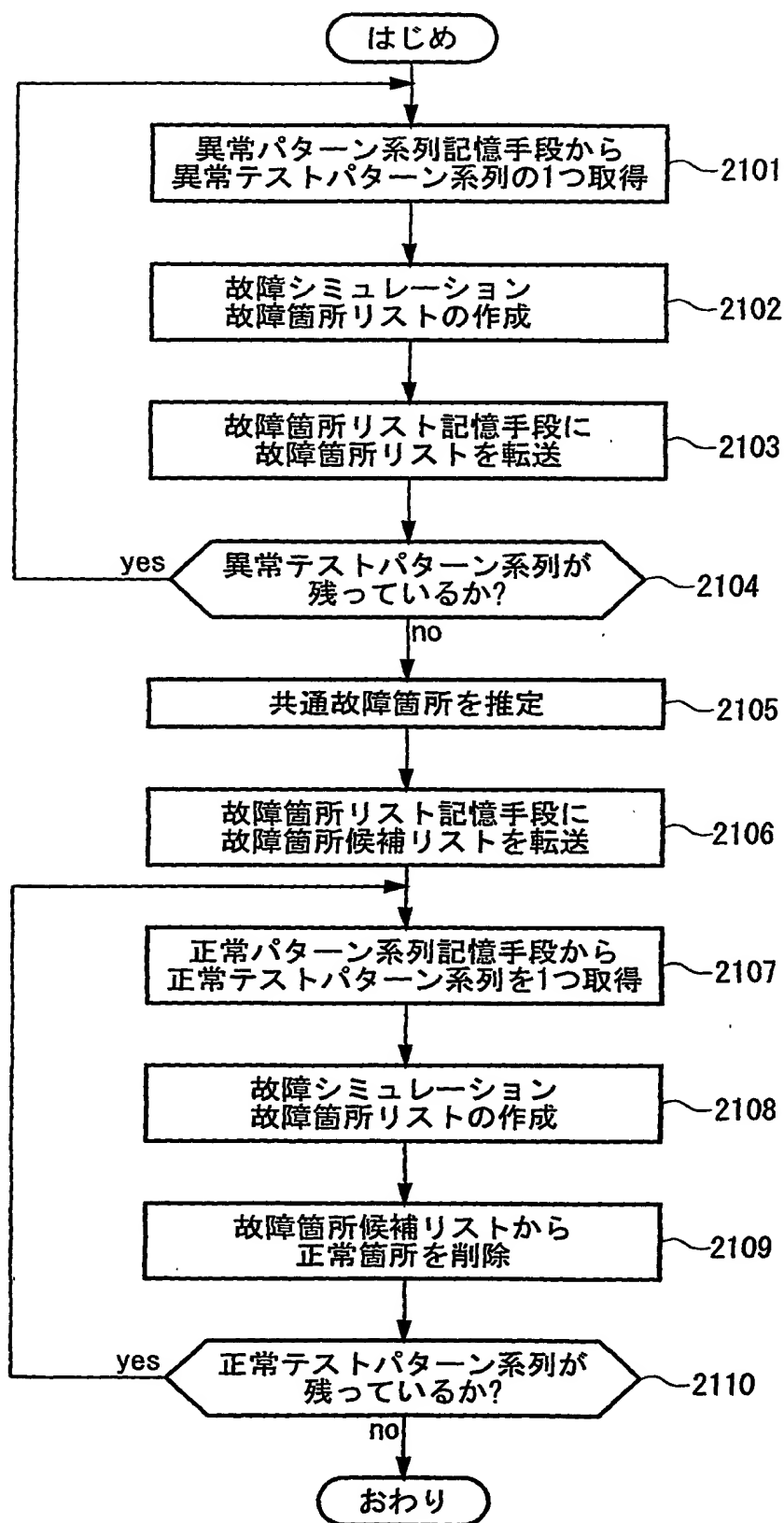
2

3

4

図 4 0

29/29





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02910

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G01R31/28, G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE ON SCIENCE AND TECHNOLOGY,  
[TRANSITION POWER CURRENT+IDD\*TRANSIENT+CURNET] (in Japanese)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 60-165562 A (Rusuran Arukadeieuitsuchi Urajimirusukii, Warerii Bikutoroitsuchi Gaburirofu), 28 August, 1985 (28.08.85), page 2, lower right column, line 4 to page 4, lower right column, line 19; Figs. 1-5  (Family: none)	1, 4, 13, 16, 27 3, 5, 15, 17, 26 2, 6-12, 14, 18-25
Y	JP 10-253710 A (Citizen Watch Co., Ltd.) 25 September 1998 (25.09.98) Par. No. [0056]; Fig. 3 (Family: none)	3, 15, 26
Y	JP 9-80114 A (Advantest Corporation) 28 March 1997 (28.03.97) Par. No. [0015]; Figs. 1-3 (Family: none)	5, 17
A	JP 9-54140 A (Sharp Corporation) 25 February, 1997 (25.02.97) Full text; Figs. 1-13 & US 5760599 A & KR 205838 B	1-27

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"I" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
02 July, 2001 (02.07.01)

Date of mailing of the international search report  
17 July, 2001 (17.07.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/02910

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-94917 A (NEC Corporation) 09 April 1999 (09.04.99) Full text; Figs. 1-6 (Family: none)	1-27
A	JP 10-239394 A (NEC Corporation) 11 September, 1998 (11.09.98) Full text; Figs. 1-12 (Family: none)	6,8
A	JP 9-292444 A (NEC Corporation) 11 November 1997 (11.11.97) Full text; Figs. 1-14 & EP 785513 A1 & JP 197014 A & JP 19986 A & US 5790565 A & KR 212608 B	6-9,18-21
E,X	JP 2001-91568 A (Advantest Corporation) 06 April 2001 (06.04.01) Full text; Figs. 1-34 (Family: none)	1-5,10-17, 22-27
A	KURUSEMAN B et al., "Transient Current Testing of 0.25 $\mu\text{m}$ ", Proc Int Test Conf, 1999, Vol.1999, pages 47-56	1-27
A	BEASLEY J S et al., "iDD Pulse Response Testing Applied to Complex CMOS ICs", Proc Int Test Conf, 1997, Vol.1997, pages 32-39	1-27

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G01R31/28

B. 調査を行った分野  
調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> G01R31/28, G01R31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
日本国公開実用新案公報 1971-2001年  
日本国登録実用新案公報 1994-2001年  
日本国実用新案登録公報 1996-2001年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)  
J I C S T 科学技術文献ファイル, [過渡電流電流+IDD\*TRANSIENT\*CURRENET]

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 60-165562 A (ルスラン, アルカディエウイチ, ウラ ジミルスキー, ワレリー, ピクトロウイチ, ガブリロフ) 28. 8月. 1985 (28. 08. 85). 第2頁右下欄第4行目-第4頁右下欄第19行目, 第1図-第5図	1, 4, 13, 16, 27
Y		3, 5, 15, 17, 26
A	(ファミリーなし)	2, 6-12, 14, 18- 25

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日 02. 07. 01

国際調査報告の発送日 17.07.01

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 越川 康弘  
電話番号 03-3581-1101 内線 3266

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-253710 A (シチズン時計株式会社) 25. 9月. 1998 (25. 09. 98) 段落番号【0056】，図3 (ファミリーなし)	3, 15, 26
Y	JP 9-80114 A (株式会社アドバンテスト) 28. 3月. 1997 (28. 03. 97) 段落番号【0015】，図1-図3 (ファミリーなし)	5, 17
A	JP 9-54140 A (シャープ株式会社) 25. 2月. 1997 (25. 02. 97) 全文，図1-図13 & US 5760599 A & KR 205838 B	1-27
A	JP 11-94917 A (日本電気株式会社) 9. 4月. 1999 (09. 04. 99) 全文，図1-図6 (ファミリーなし)	1-27.
A	JP 10-239394 A (日本電気株式会社) 11. 9月. 1998 (11. 09. 98) 全文，図1-図12 (ファミリーなし)	6, 18
A	JP 9-292444 A (日本電気株式会社) 11. 11月. 1997 (11. 11. 97) 全文，図1-図14 & EP 785513 A1 & JP 197014 A & JP 19986 A & US 5790565 A & KR 212608 B	6-9, 18-21
E, X	JP 2001-91568 A (株式会社アドバンテスト) 6. 4月. 2001 (06. 04. 01) 全文，図1-34 (ファミリーなし)	1-5, 10-17, 22-27
A	KURUSEMAN B他 "Transient Current Te sting of 0. 25 $\mu$ m", Proc Int Test Co nf, 1999, Vol. 1999, 第47頁-第56頁	1-27
A	BEASLEY J S他 "iDD Pulse Response T esting Applied to Complex CMOS IC s", Proc Int Test Conf, 1997, Vol. 19 97, 第32頁-第39頁	1-27

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
[PCT 18 条、PCT 規則43、44]

出願人又は代理人 の書類記号 AD-0243PCT	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記5を参照すること。	
国際出願番号 PCT/JP01/02910	国際出願日 (日.月.年) 04.04.01	優先日 (日.月.年) 04.04.00
出願人(氏名又は名称) 株式会社アドバンテスト		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT 18 条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT 規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 20 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

